

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2004-029477

8

(43)Date of publication of application : 29.01.2004

(51)Int.Cl.

G02F 1/133
G02F 1/141
G09G 3/20
G09G 3/36

(21)Application number : 2002-186841

(71)Applicant : FUJITSU LTD

(22)Date of filing : 26.06.2002

(72)Inventor : MAKINO TETSUYA
YOSHIHARA TOSHIAKI
BETSUI KEIICHI

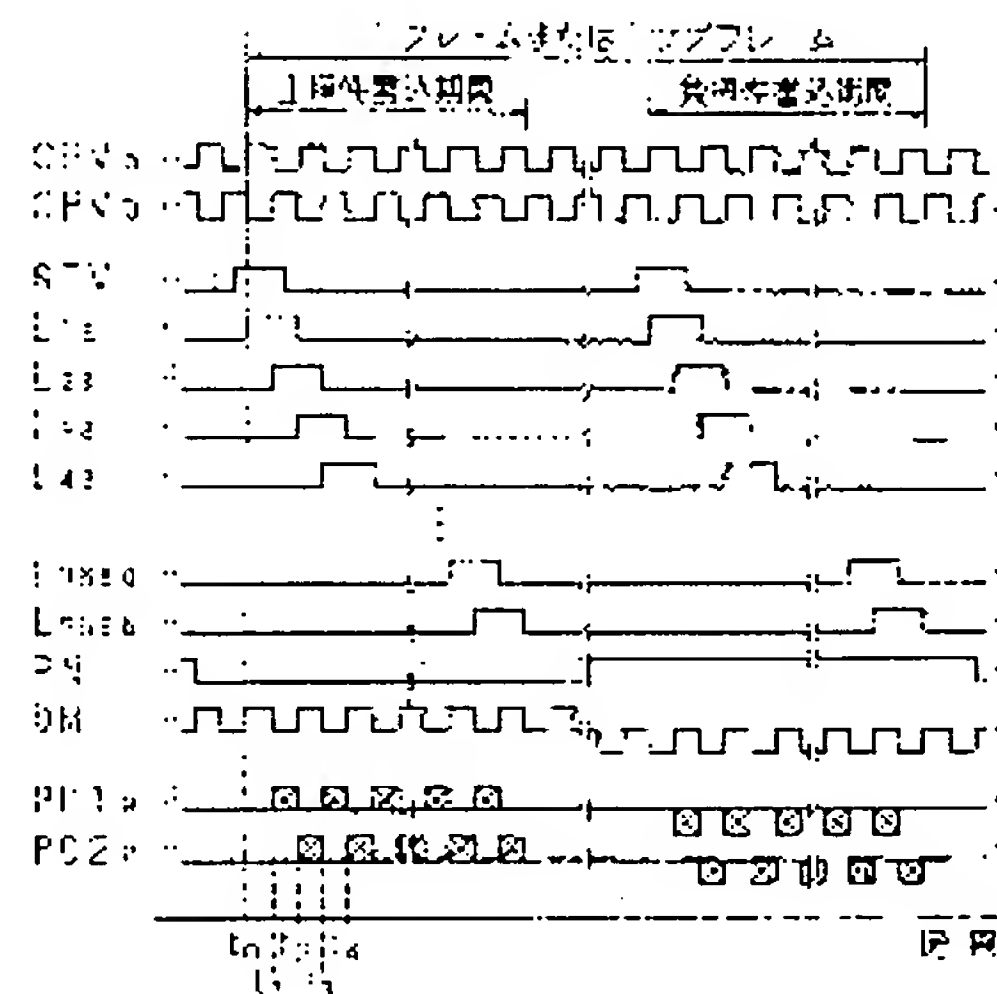
(54) DRIVING METHOD OF LIQUID CRYSTAL DISPLAY, AND LIQUID CRYSTAL DISPLAY

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a driving method of a liquid crystal display wherein difference between applicable voltage values depending on pixel voltage values before data voltage is applied is reduced, and a prescribed light transmittance is obtained, by writing data voltage for display always from a fixed state to the all pixels (the full screen), and to provide the liquid crystal display.

SOLUTION: In an "on" period of a TFT, reset voltage for refreshment is applied to the pixel electrodes in a first half "on" period and data voltage for display is applied to the pixel electrodes in a latter half "on" period. That is, when a write polarity controlling signal PN is "L", odd-numbered output terminals and even-numbered output terminals apply a reset voltage to be a negative polarity zero gradation voltage to the pixel electrodes in the first half "on" period and a positive polarity data voltage to the pixel electrodes in the latter half "on" period. When the write polarity controlling signal PN is "H", the odd-numbered output terminals and the even-numbered output terminals apply a reset voltage to be a positive polarity zero gradation voltage to the pixel electrodes in the first half "on" period and a negative polarity data voltage to the pixel electrodes in the latter half "on" period.

本発明の実施の形態における駆動シーケンスを示す図



LEGAL STATUS

[Date of request for examination]

14.06.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

Best Available Copy

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号
特開2004-29477
(P2004-29477A)

(43) 公開日 平成16年1月29日(2004.1.29)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
G02F 1/133	G02F 1/133 560	2H088
G02F 1/141	G02F 1/133 550	2H093
G09G 3/20	G02F 1/141	5C006
G09G 3/36	G09G 3/20 612K	5C080
	G09G 3/20 612L	
審査請求 未請求 請求項の数 11 O L (全 23 頁) 最終頁に続く		

(21) 出願番号	特願2002-186841 (P2002-186841)	(71) 出願人	000005223
(22) 出願日	平成14年6月26日 (2002. 6. 26)		富士通株式会社
			神奈川県川崎市中原区上小田中4丁目1番1号
		(74) 代理人	100078868
			弁理士 河野 登夫
		(72) 発明者	牧野 哲也
			神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
		(72) 発明者	吉原 敏明
			神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
		(72) 発明者	別井 圭一
			神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
		最終頁に続く	

(54) 【発明の名称】 液晶表示装置の駆動方法及び液晶表示装置

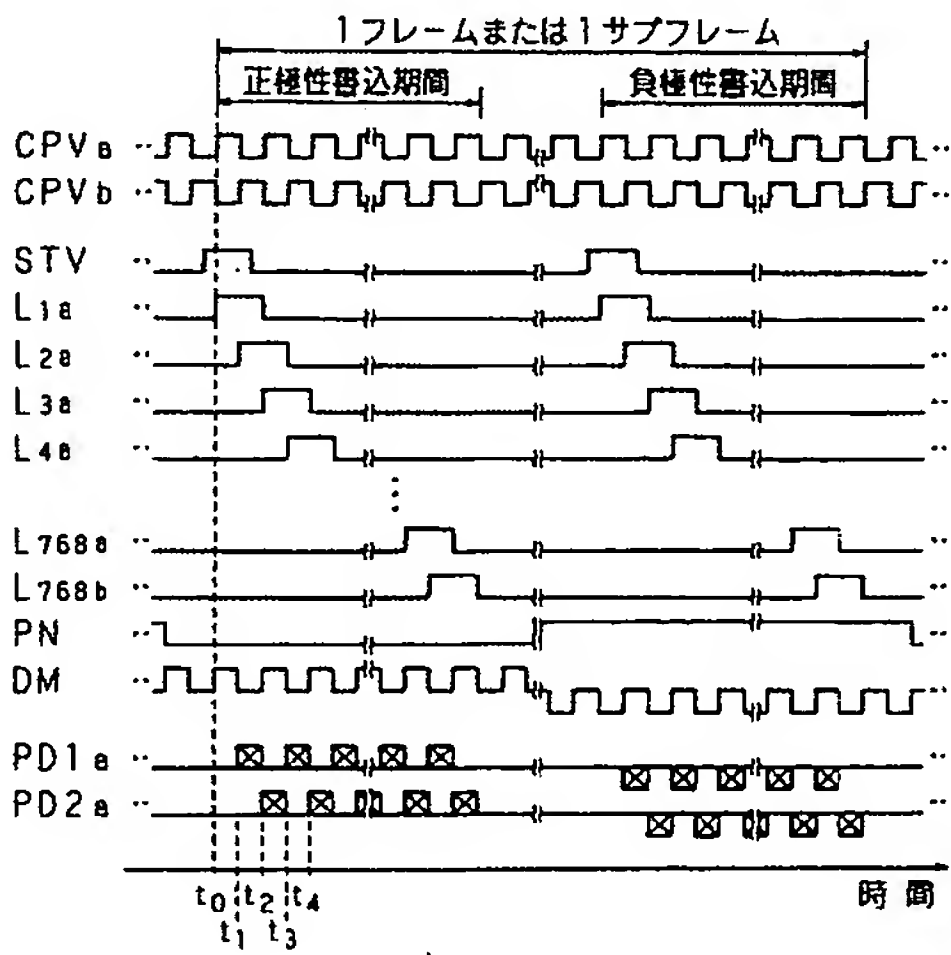
(57) 【要約】

【課題】表示用のデータ電圧を全画素（全画面）に対し常に一定の状態から書き込むことにより、印加前の画素電圧値によって印加できる電圧値の差異を減少させ、所定の光透過率が得られる液晶表示装置の駆動方法及び液晶表示装置の提供を目的とする。

【解決手段】T F Tのオン期間において、前半オン期間中はリフレッシュ用のリセット電圧を画素電極に印加し、後半オン期間中は表示用のデータ電圧を画素電極に印加する。即ち、書込極性制御信号PNが” L ”時に、奇数出力端子及び偶数出力端子は、前半オン期間中には負極0階調であるリセット電圧を画素電極に印加し、後半オン期間中には正極データ電圧を画素電極に印加する。また、書込極性制御信号PNが” H ”時に、奇数出力端子及び偶数出力端子は、前半オン期間中には正極0階調であるリセット電圧を画素電極に印加し、後半オン期間中には負極データ電圧を画素電極に印加する。

【選択図】 図5

本発明の実施の形態1における駆動シーケンスを示す図



【特許請求の範囲】

【請求項 1】

画素電極、及び該画素電極への電圧印加をオン／オフ制御するスイッチング素子をマトリックス状に設けた基板と対向電極を設けた基板との空隙内に自発分極を有する液晶物質が封入され、前記スイッチング素子のオン期間にデータ電圧を前記画素電極及び前記対向電極間に印加し、オフ期間に前記データ電圧を保持することにより、該データ電圧によって決定される前記液晶物質の光透過率を制御する液晶表示装置の駆動方法において、前記オン期間の内、前半期間には一定値のリセット電圧を印加し、後半期間には前記データ電圧を印加することを特徴とする液晶表示装置の駆動方法。

【請求項 2】

前記スイッチング素子を所定時間毎にオン／オフ制御し、前後するオン期間には、逆極性のデータ電圧を交互に印加し、同じオン期間には、データ電圧とは逆極性のリセット電圧を印加することを特徴とする請求項 1 に記載の液晶表示装置の駆動方法。

【請求項 3】

前記前半期間は、前記オン期間の略 1 / 2 であることを特徴とする請求項 1 又は請求項 2 に記載の液晶表示装置の駆動方法。

【請求項 4】

前記リセット電圧は、0 V であることを特徴とする請求項 1 乃至請求項 3 のいずれかに記載の液晶表示装置の駆動方法。

【請求項 5】

画素電極、及び該画素電極への電圧印加をオン／オフ制御するスイッチング素子をマトリックス状に設けた基板と対向電極を設けた基板との空隙内に自発分極を有する液晶物質が封入され、前記スイッチング素子のオン期間にデータ電圧を前記画素電極及び前記対向電極間に印加し、オフ期間に前記データ電圧を保持することにより、該データ電圧によって決定される前記液晶物質の光透過率を制御する構成とした液晶表示装置において、前記オン期間の内、前半期間には一定値のリセット電圧を印加する手段と、後半期間には前記データ電圧を印加する手段とを備えることを特徴とする液晶表示装置。

【請求項 6】

前記スイッチング素子を所定時間毎にオン／オフ制御し、前記データ電圧は、該データ電圧を印加するオン期間に対し前後するオン期間におけるデータ電圧とは逆極性であり、前記リセット電圧は、同じオン期間におけるデータ電圧とは逆極性であることを特徴とする請求項 5 に記載の液晶表示装置。

【請求項 7】

前記前半期間は、前記オン期間の略 1 / 2 であることを特徴とする請求項 5 又は請求項 6 に記載の液晶表示装置。

【請求項 8】

前記リセット電圧は、0 V であることを特徴とする請求項 5 乃至請求項 7 のいずれかに記載の液晶表示装置。

【請求項 9】

同一マトリックス行の画素の内、奇数マトリックス列の画素に接続したスイッチング素子を接続した第 1 走査線及び偶数マトリックス列の画素に接続したスイッチング素子を接続した第 2 走査線と、スイッチング素子をオン／オフ制御する複数の出力部を有する第 1 走査回路及び第 2 走査回路と、第 1 走査回路及び第 2 走査回路の走査を制御する制御回路とを設け、第 1 走査線及び第 2 走査線は、夫々第 1 走査回路及び第 2 走査回路の出力部に接続され、前記制御回路は、極性が相補関係となる第 1 走査回路及び第 2 走査回路の走査周波数を決定する動作クロック信号を生成する手段と、

第1走査回路及び第2走査回路の走査開始タイミング及び前記オン時間を決定する共通の走査開始信号を生成する手段とを備えることを特徴とする請求項5乃至請求項8のいずれかに記載の液晶表示装置。

【請求項10】

同一マトリックス行の画素の内、奇数マトリックス列の画素に接続したスイッチング素子を接続した第1走査線及び偶数マトリックス列の画素に接続したスイッチング素子を接続した第2走査線と、
スイッチング素子をオン／オフ制御する複数の出力部を有する走査回路とを設け、
第1走査線及び第2走査線は、交互に前記走査回路の出力部に接続されていることを特徴とする請求項5乃至請求項8のいずれかに記載の液晶表示装置。

10

【請求項11】

前記走査回路の走査を制御する制御回路を設け、
該制御回路は、前記走査回路の走査周波数を決定する動作クロック信号を生成する手段と

前記走査回路の走査開始タイミング及び前記オン時間を決定する信号幅が前記動作クロック信号の2クロック時間である走査開始信号を生成する手段とを備えることを特徴とする請求項10に記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

20

本発明は、液晶表示装置の駆動方法及び液晶表示装置に関し、特に、自発分極を有する強誘電性液晶 (Ferroelectric Liquid Crystal: FLC) 又は反強誘電性液晶 (Anti-Ferroelectric Liquid Crystal: AFLC) を用いた液晶表示装置の駆動方法及び液晶表示装置に関する。

【0002】

【従来の技術】

一般的に普及しているTN (Twisted Nematic) 液晶は、印加電圧に対する応答速度が十〜数十msであり、印加電圧が低い領域では応答速度が急激に遅くなり百msに近い値となる場合もある。従って、TN液晶を用いた液晶表示装置にて動画 (60画像/秒) 表示する場合には、液晶分子が動作しきれず画像がぼやけてしまうため、TN液晶はマルチメディア等の動画表示用途には不適である。

30

【0003】

そこで、自発分極を有し、印加電圧に対する応答速度が数十〜数百 μ sと高速であるFLC又はAFLCを用いた液晶表示装置が実用化されている。これらの高速応答可能な液晶を液晶表示装置に用いた場合には、TFT (Thin Film Transistor) 又はMIM (Metal Insulator Metal) 等のスイッチング素子により各画素に印加する電圧を制御し、液晶分子の分極を短時間で完了させることにより優れた動画表示が可能である。

【0004】

【発明が解決しようとする課題】

40

FLC及びAFLCの駆動電圧は一般に十数Vであり、2〜5Vと低電圧駆動可能なTN液晶に比較して駆動電圧が高い。また液晶の劣化及び液晶パネルの焼付きを防止するためには、液晶に印加する電圧の極性を表示期間 (フレーム又はサブフレーム) 毎に反転する交流駆動にて駆動する必要がある。例えば、図20 (b) に示すような光透過率—印加電圧特性 (以下、T—V特性という) を有する液晶を用いて、白表示データを書き込む場合には、“−7.5V”を書き込んだ画素に、次表示期間 (次フレーム又は次サブフレーム) に“+7.5V”を書き込む必要がある。しかし、TFTは液晶駆動電圧をドライブする十分なオン電流特性を有しているとは限らず、書き込み時間が短時間 (例えば5 μ s) になれば画素電極への書き込み不足が発生し、所定の電圧を液晶に印加することが困難となる。従って、電圧印加前の画素電圧値によって、画素に印加できる電圧値に差異が生じ

50

、所定の光透過率が得られず目的の階調表示ができないという問題があった。

【0005】

また、TN液晶は一般に図20(a)に示すように光透過率が印加電圧の極性に対して対称となるT-V特性を有しているが、FLC及びAFLCは図20(b)に示すように光透過率が印加電圧の極性に対して片極性となるT-V特性を有する。従って、FLC又はAFLCを用いた液晶パネルに、TN液晶パネル用に普及しているフリッカ対策に好適なドット反転駆動型のソースドライバを利用した場合には、負極電圧印加の画素は全黒表示になるので、夫々のフレームで市松模様(チェック模様)の黒表示が発生するという問題があった。

【0006】

本発明は斯かる事情に鑑みてなされたものであり、表示用のデータ電圧を全画素(全画面)に対し常に一定の状態から書き込むことにより、印加前の画素電圧値によって印加できる電圧値の差異を減少させ、所定の光透過率が得られる液晶表示装置の駆動方法及び液晶表示装置の提供を主たる目的とする。

【0007】

また本発明は、液晶駆動を前後する表示期間(フレーム又はサブフレーム)で極性が反転する交流駆動とすることにより、液晶物質の劣化及び液晶パネルの焼付きを防止することができる液晶表示装置の駆動方法及び液晶表示装置の提供を目的とする。

【0008】

更に本発明は、スイッチング素子のオン期間の内、リフレッシュ用の前半期間と表示用の後半期間とを略等しくすることにより、夫々の期間でのスイッチング素子の書き込み能力を効果的に利用することができる液晶表示装置の駆動方法及び液晶表示装置の提供を目的とする。

【0009】

また更に本発明は、画素の光透過率を変化させる必要の少ない動画(静止画を含む)の表示時には、画素に印加する正極電圧及び負極電圧の絶対値は略等しいため、リフレッシュするためのリセット電圧を0Vとすることにより、リフレッシュ効率を高めることができる液晶表示装置の駆動方法及び液晶表示装置の提供を目的とする。

【0010】

また更に本発明は、光透過率が印加電圧の極性に対して片極性となるT-V特性を有するFLC又はAFLCを用いた液晶パネルに、市販のドット反転駆動型のソースドライバを利用した場合でも、各表示期間(フレーム又はサブフレーム)での各画素電極に印加する電圧を同極性とすることにより、市松模様の黒表示が発生することのない液晶表示装置の提供を目的とする。

【0011】

【課題を解決するための手段】

請求項1に係る液晶表示装置の駆動方法は、画素電極、及び該画素電極への電圧印加をオン/オフ制御するスイッチング素子をマトリックス状に設けた基板と対向電極を設けた基板との空隙内に自発分極を有する液晶物質が封入され、前記スイッチング素子のオン期間にデータ電圧を前記画素電極及び前記対向電極間に印加し、オフ期間に前記データ電圧を保持することにより、該データ電圧によって決定される前記液晶物質の光透過率を制御する液晶表示装置の駆動方法において、前記オン期間の内、前半期間には一定値のリセット電圧を印加し、後半期間には前記データ電圧を印加することを特徴とする。

【0012】

請求項2に係る液晶表示装置の駆動方法は、前記スイッチング素子を所定時間毎にオン/オフ制御し、前後するオン期間には、逆極性のデータ電圧を交互に印加し、同じオン期間には、データ電圧とは逆極性のリセット電圧を印加することを特徴とする。

【0013】

請求項3に係る液晶表示装置の駆動方法は、前記前半期間が、前記オン期間の略1/2であることを特徴とする。

【0014】

請求項4に係る液晶表示装置の駆動方法は、前記リセット電圧が、0 Vであることを特徴とする。

【0015】

請求項5に係る液晶表示装置は、画素電極、及び該画素電極への電圧印加をオン／オフ制御するスイッチング素子をマトリックス状に設けた基板と対向電極を設けた基板との空隙内に自発分極を有する液晶物質が封入され、前記スイッチング素子のオン期間にデータ電圧を前記画素電極及び前記対向電極間に印加し、オフ期間に前記データ電圧を保持することにより、該データ電圧によって決定される前記液晶物質の光透過率を制御する構成とした液晶表示装置において、前記オン期間の内、前半期間には一定値のリセット電圧を印加する手段と、後半期間には前記データ電圧を印加する手段とを備えることを特徴とする。 10

【0016】

請求項6に係る液晶表示装置は、前記スイッチング素子を所定時間毎にオン／オフ制御し、前記データ電圧が、該データ電圧を印加するオン期間に対し前後するオン期間におけるデータ電圧とは逆極性であり、前記リセット電圧が、同じオン期間におけるデータ電圧とは逆極性であることを特徴とする。

【0017】

請求項7に係る液晶表示装置は、前記前半期間が、前記オン期間の略1/2であることを特徴とする。

【0018】

請求項8に係る液晶表示装置は、前記リセット電圧が、0 Vであることを特徴とする。 20

【0019】

請求項9に係る液晶表示装置は、同一マトリックス行の画素の内、奇数マトリックス列の画素に接続したスイッチング素子を接続した第1走査線及び偶数マトリックス列の画素に接続したスイッチング素子を接続した第2走査線と、スイッチング素子をオン／オフ制御する複数の出力部を有する第1走査回路及び第2走査回路と、第1走査回路及び第2走査回路の走査を制御する制御回路とを設け、第1走査線及び第2走査線が、夫々第1走査回路及び第2走査回路の出力部に接続され、前記制御回路が、極性が相補関係となる第1走査回路及び第2走査回路の走査周波数を決定する動作クロック信号を生成する手段と、第1走査回路及び第2走査回路の走査開始タイミング及び前記オン時間を決定する共通の走査開始信号を生成する手段とを備えることを特徴とする。 30

【0020】

請求項10に係る液晶表示装置は、同一マトリックス行の画素の内、奇数マトリックス列の画素に接続したスイッチング素子を接続した第1走査線及び偶数マトリックス列の画素に接続したスイッチング素子を接続した第2走査線と、スイッチング素子をオン／オフ制御する複数の出力部を有する走査回路とを設け、第1走査線及び第2走査線が、交互に前記走査回路の出力部に接続されていることを特徴とする。

【0021】

請求項11に係る液晶表示装置は、前記走査回路の走査を制御する制御回路を設け、該制御回路が、前記走査回路の走査周波数を決定する動作クロック信号を生成する手段と、前記走査回路の走査開始タイミング及び前記オン時間を決定する信号幅が前記動作クロック信号の2クロック時間である走査開始信号を生成する手段とを備えることを特徴とする。 40

【0022】

請求項1の液晶表示装置の駆動方法及び請求項5の液晶表示装置にあっては、表示用のデータ電圧を画素電極及び対向電極間に印加する前に、リフレッシュ用のリセット電圧を印加することにより、表示用のデータ電圧は、全画素（全画面）に対し常に一定の状態から書き込むことになるので、印加前の画素電圧値によって印加できる電圧値の差異を減少することができる。

【0023】

請求項2の液晶表示装置の駆動方法及び請求項6の液晶表示装置にあっては、液晶にかか 50

る電圧を前後する表示期間（フレーム又はサブフレーム）で逆極性とする交流駆動とすることにより、液晶物質の劣化及び液晶パネルの焼付きを防止することができる。

【0024】

請求項3の液晶表示装置の駆動方法及び請求項7の液晶表示装置にあっては、スイッチング素子のオン期間の内、リフレッシュ用の前半期間と表示用の後半期間とを略等しくすることにより、夫々の期間でのスイッチング素子の書き込み能力を効果的に利用することができる。

【0025】

請求項4の液晶表示装置の駆動方法及び請求項8の液晶表示装置にあっては、画素の光透過率を変化させる必要の少ない動画（静止画を含む）の表示時には、画素に印加する正極電圧及び負極電圧の絶対値は略等しいため、リフレッシュするためのリセット電圧を0Vとすることにより、リフレッシュ効率を高めることができる。換言すれば、リフレッシュ用の前半期間の電荷供給量及び表示用の後半期間の電荷供給量を夫々略1/2に分担することにより、スイッチング素子の書き込み能力を効果的に利用することができる。

【0026】

請求項9及び請求項10の液晶表示装置にあっては、一の画素を制御するスイッチング素子の走査線と隣合う画素を制御するスイッチング素子の走査線とを別の走査線とすることにより、スイッチング素子のオン/オフ制御を隣合う画素で別の制御とすることができる。

【0027】

請求項11の液晶表示装置にあっては、リセット電圧及びデータ電圧を印加できる時間を2倍にすることにより、画素電極への書き込みを十分行うことができる。また、走査する前後段の走査線に接続されたスイッチング素子のオン期間にて、前段の走査線に接続された画素に表示用のデータ電圧を印加する後半期間と後段の走査線に接続された画素にリフレッシュ用のリセット電圧を印加する前半期間とをオーバーラップさせることにより、隣合う走査線に接続された画素に同時に所望の電圧を印加することができ、スイッチング素子の書き込み能力を効果的に利用することができる。

【0028】

【発明の実施の形態】

以下、本発明をその実施の形態を示す図面に基づいて詳述する。図1は本発明による液晶パネルの模式的断面図、図2は液晶パネル及びバックライトの構成例を示す模式的斜視図である。

【0029】

（実施の形態1）

図1に示すように、液晶パネル1は、マトリックス状に配置されたITO（Indium Tin Oxide）製の光透過率に優れた画素電極5（ (0.24×0.24) （ mm^2 ））、画素数1024H×768V、対角12.1インチ）及び画素電極5の夫々に接続されたTF Tを有するガラス基板6と対向電極2及びマトリックス状に配置されたカラーフィルタ3を有するガラス基板4とを備えている。画素電極5及びカラーフィルタ3上には夫々配向膜7及び配向膜8を備え、ガラス基板6及びガラス基板4はこれらの配向膜7及び配向膜8を対向して配置され、配向膜7及び配向膜8間に面内均一のギャップ（ $1.6 \mu\text{m}$ ）を保持するために球状のスペーサ10を散布して形成した空隙内に、FLCを充填して液晶層9が形成されている。図2に示すように、この液晶パネル1は2枚の偏光板11及び12で挟まれ、更にその下方にバックライト26が配置される。

【0030】

図3は本発明の実施の形態1による液晶表示装置の液晶パネルの模式的平面図、図4は液晶表示装置の全体のブロック図である。図3に示すように、画素電極5及びTF T 21はガラス基板6上にマトリックス（1024H×768V）配置されており、各画素電極5はTF T 21のドレイン端子と夫々接続されている。第i（ $i=1, 2, 3, \dots, 768$ ）行目の奇数列のTF T 21のゲート端子及び第i行目の偶数列のTF T 21のゲート端

子は、夫々第1走査線 L_{1j} 及び第2走査線 L_{2j} に接続され、第 j ($j = 1, 2, 3, \dots, 1024$)列のTFT 21のソース端子はデータ線 D_j に接続されている。第1走査線 L_{1j} 及び第2走査線 L_{2j} は夫々第1ゲートドライバ24a及び第2ゲートドライバ24bの出力段に順次接続され、データ線 D_j はソースドライバ22の出力段に順次接続されている。

【0031】

なお、対向電極2にはDC電圧が印加されていれば良いが、以下説明を簡略化できるように0V電圧が印加されており、画素電極5に印加する電圧は、即ち画素の光透過率を制御する画素電極5及び対向電極2間の電圧であるとする。

【0032】

奇数列のTFT 21は、第1ゲートドライバ24aからライン順次に供給される走査信号を第1走査線 L_{1j} に入力することによってオン/オフ制御され、オン期間にはソースドライバ22から各データ線 D_j に入力するデータ電圧を画素電極5に印加し、オフ期間にはそれまでのデータ電圧を保持する。同様に、偶数列のTFT 21は、第2ゲートドライバ24bからライン順次に供給される走査信号を第2走査線 L_{2j} に入力することによってオン/オフ制御され、オン期間にはソースドライバ22から各データ線 D_j に入力するデータ電圧を画素電極5に印加し、オフ期間にはそれまでのデータ電圧を保持する。そしてTFT 21を介して印加されたデータ電圧により、液晶の電気光学特性であるT-V特性によって決定される液晶の光透過率を制御し画像を表示する。

【0033】

本実施形態における液晶表示装置は、上述したようなソースドライバ22、第1ゲートドライバ24a、及び第2ゲートドライバ24bに加えて、図4に示すように、制御信号発生回路31、画像メモリ32、第1論理積回路(AND回路)36a及び第2論理積回路(AND回路)36b、第1反転回路(INV回路)37a及び第2反転回路(INV回路)37b、排他的論理和回路(EX-OR回路)38、並びにバックライト電源回路39の周辺回路を備えている。

【0034】

制御信号発生回路31は、入力される同期信号Syncから、画像メモリ32に蓄積された画像信号の出力タイミングを制御する画像制御信号CSと、画素電極5にデータ電圧を書き込む電圧極性を制御する書込極性制御信号PNと、ソースドライバ22の出力電圧極性を制御する出力極性制御信号DMと、ソースドライバ22の動作を制御するクロック信号CLK等と、第1ゲートドライバ24a及び第2ゲートドライバ24bの動作を制御する共通の走査周波数を決定する動作クロック信号CPV及び走査開始タイミングを決定する走査開始信号STV等とを生成する。また、生成した画像制御信号CSを画像メモリ32へ、書込極性制御信号PNを排他的論理和回路38へ、出力極性制御信号DMを排他的論理和回路38及びソースドライバ22へ、クロック信号CLK等をソースドライバ22へ、動作クロック信号CPVを第1ゲートドライバ24a及び第2反転回路37bへ、走査開始信号STV等を第1ゲートドライバ24a及び第2ゲートドライバ24bへ夫々出力する。

【0035】

画像メモリ32は、液晶パネル1に表示すべき表示データDataを一旦記憶し、制御信号発生回路31により生成された画像制御信号CSに同期して交互に、奇数列の表示用データPD1を第1論理積回路36aへ出力し、偶数列の表示用データPD2を第2論理積回路36bへ出力する。

【0036】

排他的論理和回路38は、制御信号発生回路31が生成した書込極性制御信号PN及び出力極性制御信号DMを入力し、この2つの信号の排他的論理和である信号を出力する。この信号が、画素電極5に印加する電圧として表示用のデータ電圧又はリフレッシュ用のリセット電圧のいずれかを決定する出力選択信号となる。

【0037】

第1論理積回路36aは、奇数列の表示用データ信号及びリフレッシュ用データ信号を生成するための回路であり、排他的論理和回路38が生成した出力選択信号を第1反転回路37aにて反転した信号と画像メモリ32から読み出した奇数列の表示用データPD1とから論理積信号を生成し、生成した信号PD1aをソースドライバ22にデータ信号DATAとして出力する。

【0038】

表示用データが8ビットの場合における第1論理積回路36aの動作を更に詳述すれば、入力される夫々のビット(din1, din2, ..., din8)と排他的論理和回路38が生成した出力選択信号の反転信号との論理積信号をデータ信号DATAの夫々のデータビット(dout1, dout2, ..., dout8)として出力する。これにより、出力されるデータビット(dout1, dout2, ..., dout8)は、出力選択信号が”H”時には、(L, L, ..., L)である0階調データとなり、出力選択信号が”L”時には、(din1, din2, ..., din8)である表示用データとなる。

【0039】

第2論理積回路36bは、偶数列の表示用データ信号及びリフレッシュ用データ信号を生成するための回路であり、排他的論理和回路38が生成した出力選択信号と画像メモリ32から読み出した偶数列の表示用データPD2とから論理積信号を生成し、生成した信号PD2aをソースドライバ22にデータ信号DATAとして出力する。

【0040】

表示用データが8ビットの場合における第2論理積回路36bの動作を更に詳述すれば、入力される夫々のビット(din1, din2, ..., din8)と排他的論理和回路38が生成した出力選択信号との論理積信号をデータ信号DATAの夫々のデータビット(dout1, dout2, ..., dout8)として出力する。これにより、出力されるデータビット(dout1, dout2, ..., dout8)は、出力選択信号が”L”時には、(L, L, ..., L)である0階調データとなり、出力選択信号が”H”時には、(din1, din2, ..., din8)である表示用データとなる。

【0041】

制御信号発生回路31が生成した走査開始信号STVを、第1ゲートドライバ24a及び第2ゲートドライバ24bに入力し、一方、動作クロック信号CPVを、第1ゲートドライバ24aに動作クロック信号CPVaとしてそのまま入力し、第2反転回路37bにて反転した信号バーCPVを第2ゲートドライバ24bに動作クロック信号CPVbとして入力する。

【0042】

ソースドライバ22がドット反転駆動型のソースドライバであるとして、その動作を詳述する。図18はドット反転駆動型のソースドライバの構成を示すブロック図である。ソースドライバは、コントロール回路51、データラッチ回路52、D/A変換回路53、出力アンプ回路54、データ反転回路55、及び階調電圧発生回路56を備えている。

【0043】

コントロール回路51は、外部から入力されるクロック信号CLK、出力極性制御信号DM、及びコントロール信号CL等から後述するデータ信号のデータラッチのタイミングを決定する信号をデータラッチ回路52に出力し、加えてデータラッチ回路52、D/A変換回路53、及び出力アンプ回路54の動作をコントロールする信号を出力する。データ反転回路55は、入力されたデータ信号DATAとデータ信号DATAの反転/非反転を制御するデータ反転信号INVとから生成した信号をクロック信号CLKに同期してデータラッチ回路52に入力する。データラッチ回路52は、コントロール信号CLの立ち上がり時にデータラッチ回路52に蓄積されたデータ信号DATAをD/A変換回路53へ転送する。階調電圧発生回路56は、外部から入力された階調基準電圧(8ビット時：正極側ref1~ref8, 負極側rref1~rref8)から正極階調電位(256階調)と負極階調電位(256階調)とを生成し、これらの正極階調電位及び負極階調電位をD/A変換回路53に夫々入力する。D/A変換回路53は、コントロール信号CLの

立ち下がり時に出力極性制御信号DMの情報に基づきデータ信号DATAをアナログ変換した正極電圧又は負極電圧を出力アンプ回路54へ転送する。

【0044】

出力極性制御信号DMと出力電圧との関係は表1に示す通りである。出力極性制御信号DMが”L”の場合には、奇数出力端子から正極電圧が出力され、偶数出力端子から負極電圧が出力される（出力極性タイプA）。一方、出力極性制御信号DMが”H”の場合には、奇数出力端子から負極電圧が出力され、偶数出力端子から正極電圧が出力される（出力極性タイプB）。

【0045】

【表1】

10

表 1

DM信号	奇数出力端子	偶数出力端子
L	正極電圧	負極電圧
H	負極電圧	正極電圧

【0046】

図19は、ソースドライバ22の階調データ出力電圧特性を示すグラフである。0階調データが入力された場合には出力電圧は0Vであるが、階調電圧発生回路が正極性側回路を経由したか、負極性側回路を経由したかを区別するため夫々”+0V”、“-0V”として記述する。

20

【0047】

図5は、本発明の実施の形態1における駆動シーケンスを示す図である。まず、第1走査線 $L_{i,a}$ 及び第2走査線 $L_{i,b}$ のタイミングについて詳述する。CPVaは奇数列のTF T21を走査する第1ゲートドライバ24aの動作クロック信号である。CPVbは偶数列のTF T21を走査する第2ゲートドライバ24bの動作クロック信号であり、CPVaと周波数が等しく極性が反転した信号である。STVは、第1ゲートドライバ24a及び第2ゲートドライバ24bの共通の走査開始信号であり、TF T21のオン期間を決定する”H”期間幅は動作クロック信号CPVa及びCPVbの1クロックに略等しく、第1ゲートドライバ24a及び第2ゲートドライバ24bのラッチミスを防ぐために動作クロック信号CPVaの立上がりより略1/4クロック前に入力されている。

30

【0048】

第1ゲートドライバ24a及び第2ゲートドライバ24bはシフトレジスタを内部に有しており、第1ゲートドライバ24a及び第2ゲートドライバ24bの各出力段は、動作クロック信号CPVa及びCPVbの立上がりエッジでの入力信号の電圧値を夫々取得し、立上がりエッジ以外では取得した電圧値を夫々保持する。また、ゲートドライバ内部にて、その値を所定時間だけ遅延させて次段の入力信号とする。これにより走査開始信号STVと動作クロック信号CPVa及びCPVbとに基づいて、オン期間（”H”期間）を順次走査する信号が第1走査線 $L_{i,a}$ 及び第2走査線 $L_{i,b}$ に入力される。

40

【0049】

つまり、走査開始信号STVが”H”状態で、動作クロック信号CPVaが立上がったエッジを第1番目の立上がりエッジと言うことにして、第1ゲートドライバ24aの出力段に接続された第1走査線 $L_{i,a}$ に入力される信号は、動作クロック信号CPVaの第i番目の立上がりエッジで立上がり、第i+1番目の立上がりエッジで立下がる。同様に、走査開始信号STVが”H”状態で、動作クロック信号CPVbが立上がったエッジを第1番目の立上がりエッジとして、第2ゲートドライバ24bの出力段に接続された第2走査線 $L_{i,b}$ に入力される信号は、動作クロック信号CPVbの第i番目の立上がりエッジで立上がり、第i+1番目の立上がりエッジで立下がる。例えば、第1走査線 $L_{i,a}$ 及び第

50

2走査線 L_{1a} は夫々動作クロック信号 $CPVa$ 及び $CPVb$ の第1番目の立上がりエッジで立上がり、第2番目の立上がりエッジで立下がる。第1走査線 L_{2a} 及び第2走査線 L_{2b} は夫々動作クロック信号 $CPVa$ 及び $CPVb$ の第2番目の立上がりエッジで立上がり、第3番目の立上がりエッジで立下がる。

【0050】

従って、マトリックス状に配置された同一行のTFT21を走査する走査線を奇数列用の第1走査線 L_{1a} と偶数列用の第2走査線 L_{1b} とにすることにより、同一行のTFT21をオンする期間を奇数列のTFT21と偶数列のTFT21とで別にする事ができる。オーバーラップする時間が存在するが、オン期間の終了時にTFT21を介して画素へ印加する電圧により表示階調が決定されるので、オン期間の終了時が異なるタイミングであることが重要となる。

10

【0051】

次に、データ線 D_j のタイミングについて詳述する。書込極性制御信号 PN は正極性書き込み期間中には”L”が入力され、負極性書き込み期間中には”H”が入力される。出力極性制御信号 DM は第1ゲートドライバ24a及び第2ゲートドライバ24bの動作クロック信号 $CPVa$ 及び $CPVb$ と同一周波数の信号である。書込極性制御信号 PN と出力極性制御信号 DM との排他的論理和の反転信号は、奇数列の書き込み電圧をリフレッシュ用のリセット電圧又は表示用のデータ電圧のいずれかに選択するための信号であり、書込極性制御信号 PN と出力極性制御信号 DM との排他的論理和信号は、偶数列の書き込み電圧をリフレッシュ用のリセット電圧又は表示用のデータ電圧のいずれかに選択するための信号である。

20

【0052】

書込極性制御信号 PN 及び出力極性制御信号 DM の各極性の組合せと出力電圧との関係は、表2に示す通りである。例えば、書込極性制御信号 PN が”L”かつ出力極性制御信号 DM が”L”である場合、奇数出力端子から正極データ電圧が出力され、偶数出力端子からリセット電圧である負極0階調電圧($-0V$)が出力される。

【0053】

【表2】

表 2

30

PN信号	DM信号	奇数出力端子	偶数出力端子
L	L	正極データ電圧	負極0階調電圧($-0V$)
L	H	負極0階調電圧($-0V$)	正極データ電圧
H	L	正極0階調電圧($+0V$)	負極データ電圧
H	H	負極データ電圧	正極0階調電圧($+0V$)

【0054】

40

従って、TFT21のオン期間において、前半オン期間中にはリフレッシュ用のリセット電圧を画素電極5に印加し、後半オン期間中には表示用のデータ電圧を画素電極5に印加することになる。より具体的に述べれば、書込極性制御信号 PN が”L”時には、奇数出力端子及び偶数出力端子はともに、前半オン期間中には負極0階調であるリセット電圧($-0V$)を画素電極5に印加し、後半オン期間中には正極データ電圧を画素電極5に印加することになり、書込極性制御信号 PN が”H”時には、奇数出力端子及び偶数出力端子はともに、前半オン期間中には正極0階調であるリセット電圧($+0V$)を画素電極5に印加し、後半オン期間中には負極データ電圧を画素電極5に印加することになる。なお、動作クロック信号 $CPVa$ 及び $CPVb$ のデューティ比を略50%にすることで、前半オン期間及び後半オン期間を略等しくすることができる。

50

【0055】

図5のタイミングチャートにおける $t_0 \sim t_4$ 期間に、各画素に印加される電圧を図6～図9に示す。 $t_0 \sim t_1$ 期間には、第1走査線 L_{1a} に”H”信号が入力されているので、第1走査線 L_{1a} に接続された1行目奇数列のTFT21がオンとなり、各データ線 D_j に供給されている負極0階調であるリセット電圧($-0V$)を画素電極5に供給する(図6)。

【0056】

$t_1 \sim t_2$ 期間には、第1走査線 L_{1a} 及び第2走査線 L_{1b} に”H”信号が入力されているので、第1走査線 L_{1a} に接続された1行目奇数列のTFT21がオン状態を継続し、各データ線 D_j に供給されている正極データ電圧($+V_{11}, +V_{13}, \dots$)を画素電極5に供給し、第2走査線 L_{1b} に接続された1行目偶数列のTFT21がオンとなり、各データ線 D_j に供給されている負極0階調であるリセット電圧($-0V$)を画素電極5に供給する(図7)。

【0057】

$t_2 \sim t_3$ 期間には、第1走査線 L_{1a} に”L”信号が入力されているので、第1走査線 L_{1a} に接続された1行目奇数列のTFT21がオフとなり、前期間($t_1 \sim t_2$ 期間)に供給された正極データ電圧($+V_{11}, +V_{13}, \dots$)を保持する。また、第1走査線 L_{1b} 及び第2走査線 L_{2a} に”H”信号が入力されているので、第2走査線 L_{1b} に接続された1行目偶数列のTFT21がオン状態を継続し、各データ線 D_j に供給されている正極データ電圧($+V_{12}, +V_{14}, \dots$)を画素電極5に供給し、第1走査線 L_{2a} に接続された2行目奇数列のTFT21がオンとなり、各データ線 D_j に供給されている負極0階調であるリセット電圧($-0V$)を画素電極5に供給する(図8)。

【0058】

$t_3 \sim t_4$ 期間には、第2走査線 L_{1b} に”L”信号が入力されているので、第2走査線 L_{1b} に接続された1行目偶数列のTFT21がオフとなり、前期間($t_2 \sim t_3$ 期間)に供給された正極データ電圧($+V_{12}, +V_{14}, \dots$)を保持する。また、第1走査線 L_{2a} 及び第2走査線 L_{2b} に”H”信号が入力されているので、第1走査線 L_{2a} に接続された2行目奇数列のTFT21がオン状態を継続し、各データ線 D_j に供給されている正極データ電圧($+V_{21}, +V_{23}, \dots$)を画素電極5に供給し、第2走査線 L_{2b} に接続された2行目偶数列のTFT21がオンとなり、各データ線 D_j に供給されている負極0階調であるリセット電圧($-0V$)を画素電極5に供給する(図9)。

【0059】

この一連の動作により、データ電圧を印加する直前にリセット電圧を印加することになるので、前フレームのデータ電圧に依存することなく、所定のデータ電圧を印加することが可能となる。また、各画素に印加される電圧極性は図17に示すような極性となり、同一極性の表示が可能となる。

【0060】

より具体的に述べれば、1フレームでは、各画素電極5に印加される電圧はすべて正極電圧又は負極電圧であり、正極電圧印加時に表示用データ電圧が各画素電極5に印加され、負極電圧印加時に液晶パネルの焼付き及び液晶分子の劣化を防止する逆極性電圧が各画素電極5に印加される。

【0061】

ここで、図1及び図2に示されている液晶パネルの製造方法について説明する。ITO膜の画素電極5((0.24×0.24) (mm²)), 画素数1024H×768V, 対角12.1インチ)及びTFTを有するガラス基板6と、RGBの3色を有するカラーフィルタ3及び対向電極2を有するガラス基板4を洗浄した後、ポリイミドを塗布して200℃で1時間の焼成をして2000nmのポリイミド膜を配向膜7及び8として成膜する。

【0062】

この配向膜7、8の表面をレーヨン製の布でラビングし、両者間に平均粒径1.6μmの

シリカ製のスペーサ 10 でギャップを保持した状態で 2 枚を重ね合わせ空パネルを製造する。この空パネルにナフタレン系液晶を主成分とする FLC を封入して液晶層 9 とする。

【0063】

製造したパネルをクロスニコル状態の 2 枚の偏光板 11 及び 12 で、FLC の液晶分子の長軸方向が一方に傾いた場合に暗状態になるようにして挟んで液晶パネル 1 とする。この液晶パネル 1 の背面よりバックライトの光が入射できるようにバックライト 26 を配置して液晶表示装置を製造する。

【0064】

(実施の形態 2)

実施の形態 1 では、2 つのゲートドライバを用いて第 1 走査線及び第 2 走査線を夫々走査するようにしたが、1 つのゲートドライバを用いて第 1 走査線及び第 2 走査線を走査するようにしても良く、このようにしたものが実施の形態 2 である。図 10 は本発明の実施の形態 2 による液晶表示装置の液晶パネルの模式的平面図、図 11 は液晶表示装置の全体のブロック図である。

【0065】

図 10 に示すように、画素電極 5 及び TFT 21 はガラス基板 6 上にマトリックス (1024H×768V) 配置されており、各画素電極 5 は TFT 21 のドレイン端子と夫々接続されている。第 i ($i=1, 2, 3, \dots, 768$) 行目の奇数列の TFT 21 のゲート端子及び第 i 行目の偶数列の TFT 21 のゲート端子は、夫々走査線 L_{2i-1} 及び走査線 L_{2i} (以下、走査線 L_k ($k=1, 2, 3, \dots, 1536$) という) に接続され、第 j ($j=1, 2, 3, \dots, 1024$) 列の TFT 21 のソース端子はデータ線 D_j に接続されている。走査線 L_k はゲートドライバ 24 の出力段に順次接続され、データ線 D_j はソースドライバ 22 の出力段に順次接続されている。

【0066】

なお、対向電極 2 には DC 電圧が印加されていれば良いが、以下説明を簡略化できるように 0 V 電圧が印加されており、画素電極 5 に印加する電圧は、即ち画素の光透過率を制御する画素電極 5 及び対向電極 2 間の電圧であるとする。

【0067】

TFT 21 は、ゲートドライバ 24 からライン順次に供給される走査信号を走査線 L_k に入力することによってオン/オフ制御され、オン期間にはソースドライバ 22 から各データ線 D_j に入力するデータ電圧を画素電極 5 に印加し、オフ期間にはそれまでのデータ電圧を保持する。そして TFT 21 を介して印加されたデータ電圧により、液晶の電気光学特性である T-V 特性によって決定される液晶の光透過率を制御し画像を表示する。

【0068】

本実施形態における液晶表示装置は、上述したようなソースドライバ 22 及びゲートドライバ 24 に加えて、図 11 に示すように、制御信号発生回路 41、画像メモリ 42、第 1 論理積回路 (AND 回路) 46a 及び第 2 論理積回路 (AND 回路) 46b、反転回路 (INV 回路) 47、排他的論理和回路 (EX-OR 回路) 48、並びにバックライト電源回路 49 の周辺回路を備えている。

【0069】

制御信号発生回路 41 は、入力される同期信号 Sync から、画像メモリ 42 に蓄積された画像信号の出力タイミングを制御する画像制御信号 CS と、画素電極 5 にデータ電圧を書き込む電圧極性を制御する書込極性制御信号 PN と、ソースドライバ 22 の出力電圧極性を制御する出力極性制御信号 DM と、ソースドライバ 22 の動作を制御するクロック信号 CLK 等と、ゲートドライバ 24 の動作を制御する走査周波数を決定する動作クロック信号 CPV 及び走査開始タイミングを決定する走査開始信号 STV 等とを生成する。また、生成した画像制御信号 CS を画像メモリ 42 へ、書込極性制御信号 PN を排他的論理和回路 48 へ、出力極性制御信号 DM を排他的論理和回路 48 及びソースドライバ 22 へ、クロック信号 CLK 等をソースドライバ 22 へ、動作クロック信号 CPV 及び走査開始信号 STV 等をゲートドライバ 24 へ夫々出力する。

【0070】

画像メモリ42は、液晶パネル1に表示すべき表示データDataを一旦記憶し、制御信号発生回路41により生成された画像制御信号CSに同期して交互に、奇数列の表示用データPD1を第1論理積回路46aへ出力し、偶数列の表示用データPD2を第2論理積回路46bへ出力する。

【0071】

排他的論理和回路48は、制御信号発生回路41が生成した書込極性制御信号PN及び出力極性制御信号DMを入力し、この2つの信号の排他的論理和である信号を出力する。この信号が、画素電極5に印加する電圧として表示用のデータ電圧又はリフレッシュ用のリセット電圧のいずれかを決定する出力選択信号となる。

10

【0072】

第1論理積回路46aは、奇数列の表示用データ信号及びリフレッシュ用データ信号を生成するための回路であり、排他的論理和回路48が生成した出力選択信号を反転回路47にて反転した信号と画像メモリ42から読み出した奇数列の表示用データPD1とから論理積信号を生成し、生成した信号PD1aをソースドライバ22にデータ信号DATAとして入力する。

【0073】

第2論理積回路46bは、偶数列の表示用データ信号及びリフレッシュ用データ信号を生成するための回路であり、排他的論理和回路48が生成した出力選択信号と画像メモリ42から読み出した偶数列の表示用データPD2とから論理積信号を生成し、生成した信号PD2aをソースドライバ22にデータ信号DATAとして入力する。

20

【0074】

制御信号発生回路41が生成した走査開始信号STV及び動作クロック信号CPVをゲートドライバ24に入力する。

【0075】

なお、ソースドライバ22はドット反転駆動型のソースドライバであり、実施の形態1にて記述したものと同様であるのでその詳細な説明を省略する。

【0076】

図12は、本発明の実施の形態2における駆動シーケンスを示す図である。まず、走査線L_kのタイミングについて詳述する。CPVはTFT21を走査するゲートドライバ24の動作クロック信号である。STVはゲートドライバ24の走査開始信号であり、TFT21のオン期間を決定する“H”期間幅は動作クロック信号CPVの2クロックに略等しく、ゲートドライバ24のラッチミスを防ぐために動作クロック信号CPVの立上がりより略1/2クロック前に入力されている。

30

【0077】

ゲートドライバ24はシフトレジスタを内部に有しており、ゲートドライバ24の各出力段は、動作クロック信号CPVの立上がりエッジでの入力信号の電圧値を夫々取得し、立上がりエッジ以外では取得した電圧値を夫々保持する。また、ゲートドライバ内部にて、その値を所定時間だけ遅延させて次段の入力信号とする。これにより走査開始信号STVと動作クロック信号CPVとに基づいて、オン期間(“H”期間)を順次走査する信号が走査線L_kに入力される。

40

【0078】

つまり、走査開始信号STVが“H”状態で、動作クロック信号CPVが立上がったエッジを第1番目の立上がりエッジとすることにして、ゲートドライバ24の出力段に接続された走査線L_kに入力される信号は、動作クロック信号CPVの第k番目の立上がりエッジで立上がり、第k+2番目の立上がりエッジで立下がる。例えば、走査線L₁は動作クロック信号CPVの第1番目の立上がりエッジで立上がり、第3番目の立上がりエッジで立下がる。走査線L₂は動作クロック信号CPVの第2番目の立上がりエッジで立上がり、第4番目の立上がりエッジで立下がる。

【0079】

50

従って、マトリックス状に配置された同一行のTFT21を走査する走査線L₁を奇数列用の走査線と偶数列用の走査線とにすることにより、同一行のTFT21をオンする期間を奇数列のTFT21と偶数列のTFT21とで別にすることができる。オーバーラップする時間が存在するが、オン期間の終了時にTFT21を介して画素へ印加する電圧により表示階調が決定されるので、オン期間の終了時が異なるタイミングであることが重要となる。

【0080】

次に、データ線D_jのタイミングについて詳述する。書込極性制御信号PNは正極性書き込み期間中には”L”が入力され、負極性書き込み期間中には”H”が入力される。出力極性制御信号DMの周波数は、ゲートドライバ24の動作クロック信号CPVの周波数の1/2である。書込極性制御信号PNと出力極性制御信号DMとの排他的論理和の反転信号は、奇数列の書き込み電圧をリフレッシュ用のリセット電圧又は表示用のデータ電圧のいずれかに選択するための信号であり、書込極性制御信号PNと出力極性制御信号DMとの排他的論理和信号は、偶数列の書き込み電圧をリフレッシュ用のリセット電圧又は表示用のデータ電圧のいずれかに選択するための信号である。

【0081】

書込極性制御信号PN及び出力極性制御信号DMの各極性の組合せと出力電圧との関係は、表3に示す通りである。例えば、書込極性制御信号PNが”L”かつ出力極性制御信号DMが”L”である場合、奇数出力端子から正極データ電圧が出力され、偶数出力端子からリセット電圧である負極0階調であるリセット電圧(−0V)が出力される。

【0082】

【表3】

表 3

PN信号	DM信号	奇数出力端子	偶数出力端子
L	L	正極データ電圧	負極0階調電圧(−0V)
L	H	負極0階調電圧(−0V)	正極データ電圧
H	L	正極0階調電圧(+0V)	負極データ電圧
H	H	負極データ電圧	正極0階調電圧(+0V)

【0083】

従って、TFT21のオン期間において、前半オン期間中にはリフレッシュ用のリセット電圧を画素電極5に印加し、後半オン期間中には表示用のデータ電圧を画素電極5に印加することになる。より具体的に述べれば、書込極性制御信号PNが”L”時には、奇数出力端子及び偶数出力端子はともに、前半オン期間中には負極0階調であるリセット電圧(−0V)を画素電極5に印加し、後半オン期間中には正極データ電圧を画素電極5に印加することになり、書込極性制御信号PNが”H”時には、奇数出力端子及び偶数出力端子はともに、前半オン期間中には正極0階調であるリセット電圧(+0V)を画素電極5に印加し、後半オン期間中には負極データ電圧を画素電極5に印加することになる。なお、動作クロック信号CPVのデューティ比を略50%にすることで、前半オン期間及び後半オン期間を略等しくすることができる。

【0084】

図12のタイミングチャートにおけるt0～t4期間に、各画素に印加される電圧を図13～図16に示す。t0～t1期間には、走査線L₁に”H”信号が入力されているので、走査線L₁に接続された1行目奇数列のTFT21がオンとなり、各データ線D_jに供給されている負極0階調であるリセット電圧(−0V)を画素電極5に供給する(図13)。

【0085】

t1～t2期間には、走査線L₁ 及びL₂ に”H”信号が入力されているので、走査線L₁ に接続された1行目奇数列のTF T21がオン状態を継続し、各データ線D_j に供給されている正極データ電圧(+V_{1,1}, +V_{1,3}, …)を画素電極5に供給し、走査線L₂ に接続された1行目偶数列のTF T21がオンとなり、各データ線D_j に供給されている負極0階調であるリセット電圧(-0V)を画素電極5に供給する(図14)。

【0086】

t2～t3期間には、走査線L₁ に”L”信号が入力されているので、走査線L₁ に接続された1行目奇数列のTF T21がオフとなり、前期間(t1～t2期間)に供給された正極データ電圧(+V_{1,1}, +V_{1,3}, …)を保持する。また、走査線L₂ 及びL₃ に”H”信号が入力されているので、走査線L₂ に接続された1行目偶数列のTF T21がオン状態を継続し、各データ線D_j に供給されている正極データ電圧(+V_{1,2}, +V_{1,4}, …)を画素電極5に供給し、走査線L₃ に接続された2行目奇数列のTF T21がオンとなり、各データ線D_j に供給されている負極0階調であるリセット電圧(-0V)を画素電極5に供給する(図15)。

【0087】

t3～t4期間には、走査線L₂ に”L”信号が入力されているので、走査線L₂ に接続された1行目偶数列のTF T21がオフとなり、前期間(t2～t3期間)に供給された正極データ電圧(+V_{1,2}, +V_{1,4}, …)を保持する。また、走査線L₃ 及びL₄ に”H”信号が入力されているので、走査線L₃ に接続された2行目奇数列のTF T21がオン状態を継続し、各データ線D_j に供給されている正極データ電圧(+V_{2,1}, +V_{2,3}, …)を画素電極5に供給し、走査線L₄ に接続された2行目偶数列のTF T21がオンとなり、各データ線D_j に供給されている負極0階調であるリセット電圧(-0V)を画素電極5に供給する(図16)。

【0088】

この一連の動作により、実施の形態1と同様に、データ電圧を印加する直前にリセット電圧を印加することになるので、前フレームのデータ電圧に依存することなく、所定のデータ電圧を印加することが可能となる。また、各画素に印加される電圧極性は図17に示すような極性となり、同一極性の表示が可能となる。

【0089】

図5及び図12が示すように、実施の形態1の走査信号は2相入力であり、実施の形態2の走査信号は1相入力であるので、実施の形態2のゲートドライバに用いる動作クロック信号の周波数は、実施の形態1の夫々のゲートドライバの略2倍のものがなければならない。

【0090】

なお、実施の形態1及び実施の形態2にて、ドット反転駆動型のソースドライバを用いてフレーム反転駆動する場合について説明したが、ライン反転駆動にも適用できる。また、ソースドライバがデジタル信号入力型の場合について説明したが、アナログ信号入力型の場合であってもよい。更に、ゲートドライバ及びソースドライバ等の周辺駆動回路をTF T基板上に形成しオンチップ化してもよい。

【0091】

【発明の効果】

以上詳述した如く本発明によれば、リフレッシュ機能により、夫々の画素は表示用のデータ電圧を画素電極に印加する前に一旦定電圧となるため、表示用のデータ電圧を全画素(全画面)に対し常に一定の状態から書き込むことになるので、印加前の画素電圧値によって印加できる電圧値の差異を減少することができ、所定の光透過率が得られ優れた階調表示特性が得られる。

【0092】

また、液晶駆動を前後する表示期間(フレーム又はサブフレーム)で極性が反転する交流駆動とすることにより、液晶物質の劣化及び液晶パネルの焼付きを防止することができ、

液晶表示装置の寿命を延ばすことができる。

【0093】

更に、スイッチング素子のオン期間の内、リフレッシュ用の前半期間と表示用の後半期間とを略等しくすることにより、夫々の期間でのスイッチング素子の書き込み能力を効果的に利用することができ、優れた階調表示特性が得られる。

【0094】

また更に、画素の光透過率を変化させる必要の少ない動画（静止画を含む）の表示時には、画素に印加する正極電圧及び負極電圧の絶対値は略等しいため、リフレッシュするためのリセット電圧を0Vとすることにより、リフレッシュ効率を高めることができ、優れた階調表示特性が得られる。

10

【0095】

また更に、光透過率が印加電圧の極性に対して片極性となるT-V特性を有するFLC又はAFLCを用いた液晶パネルに、ドット反転駆動型のソースドライバを利用した場合でも、各表示フレームでの各画素電極に印加する電圧を同極性とすることができ、市松模様の黒表示が発生することなく優れた表示品質が得られる等、優れた効果を奏する。

【図面の簡単な説明】

【図1】 本発明による液晶パネルの模式的断面図である。

【図2】 本発明による液晶パネル及びバックライトの構成例を示す模式的斜視図である。

【図3】 本発明の実施の形態1による液晶表示装置の液晶パネルの模式的平面図である。

【図4】 本発明の実施の形態1による液晶表示装置の全体構成のブロック図である。

20

【図5】 本発明の実施の形態1における駆動シーケンスを示す図である。

【図6】 図5のt0～t1期間に、液晶パネルの各画素電極に印加される電圧値を示す図である。

【図7】 図5のt1～t2期間に、液晶パネルの各画素電極に印加される電圧値を示す図である。

【図8】 図5のt2～t3期間に、液晶パネルの各画素電極に印加される電圧値を示す図である。

【図9】 図5のt3～t4期間に、液晶パネルの各画素電極に印加される電圧値を示す図である。

【図10】 本発明の実施の形態2による液晶表示装置の液晶パネルの模式的平面図である

30

。【図11】 本発明の実施の形態2による液晶表示装置の全体構成のブロック図である。

【図12】 本発明の実施の形態2における駆動シーケンスを示す図である。

【図13】 図12のt0～t1期間に、液晶パネルの各画素電極に印加される電圧値を示す図である。

【図14】 図12のt1～t2期間に、液晶パネルの各画素電極に印加される電圧値を示す図である。

【図15】 図12のt2～t3期間に、液晶パネルの各画素電極に印加される電圧値を示す図である。

【図16】 図12のt3～t4期間に、液晶パネルの各画素電極に印加される電圧値を示す図である。

40

【図17】 本発明の実施の形態1及び実施の形態2における画素電圧極性を示す図である。

【図18】 ドット反転駆動型のソースドライバの構成を示すブロック図である。

【図19】 ソースドライバの階調データー出力電圧特性を示すグラフである。

【図20】 液晶物質におけるT-V特性を示すグラフである。

【符号の説明】

1 液晶パネル

2 対向電極

4 ガラス基板

50

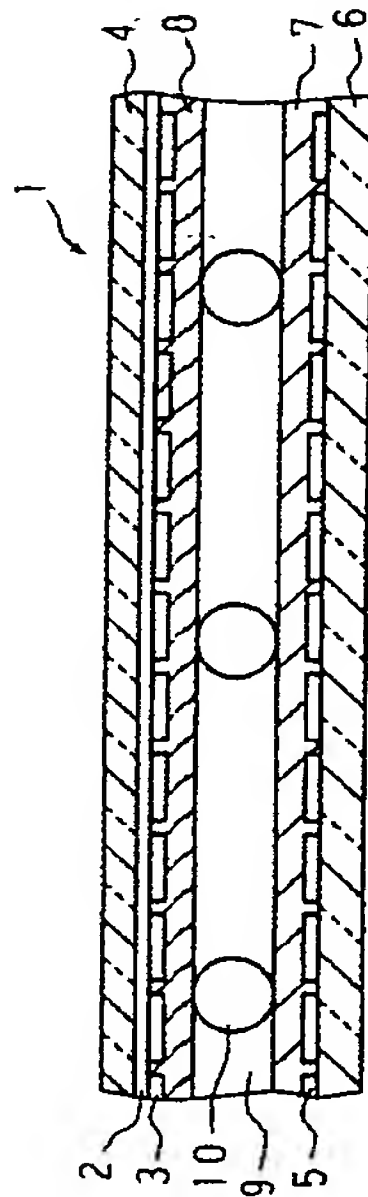
- 5 画素電極
- 6 ガラス基板
- 9 液晶層
- 21 TFT
- 22 ソースドライバ
- 24 ゲートドライバ
- 24a 第1ゲートドライバ
- 24b 第2ゲートドライバ
- 26 バックライト
- 31 制御信号発生回路
- 32 画像メモリ
- 36a 第1論理積回路
- 36b 第2論理積回路
- 37a 第1反転回路
- 37b 第2反転回路
- 38 排他的論理和回路
- 39 バックライト電源回路
- 41 制御信号発生回路
- 42 画像メモリ
- 46a 第1論理積回路
- 46b 第2論理積回路
- 47 反転回路
- 48 排他的論理和回路
- 49 バックライト電源回路

10

20

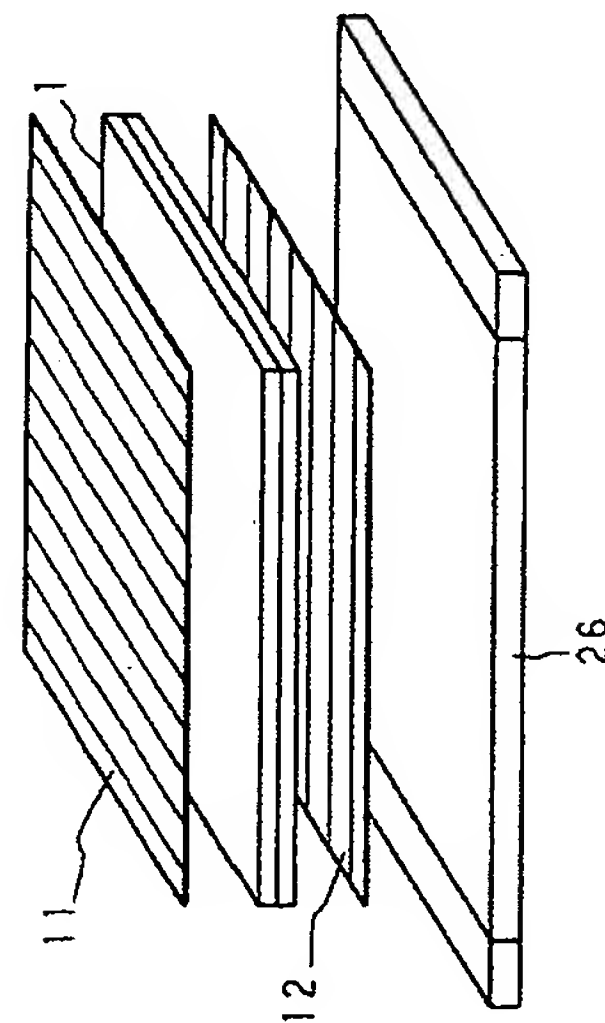
【図1】

本発明による液晶パネルの模式的断面図

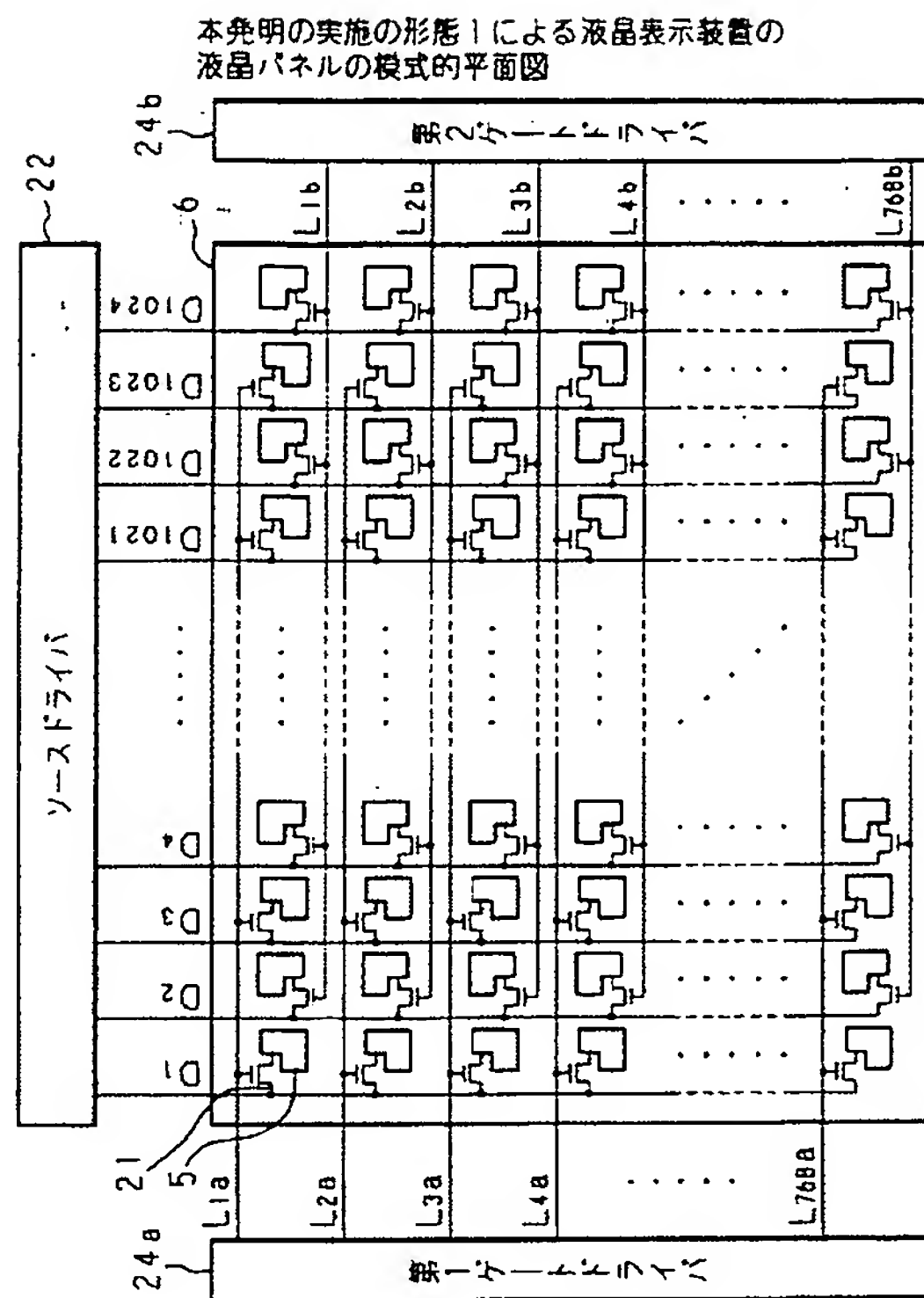


【図2】

本発明による液晶パネル及びバックライトの構成例を示す模式的斜視図

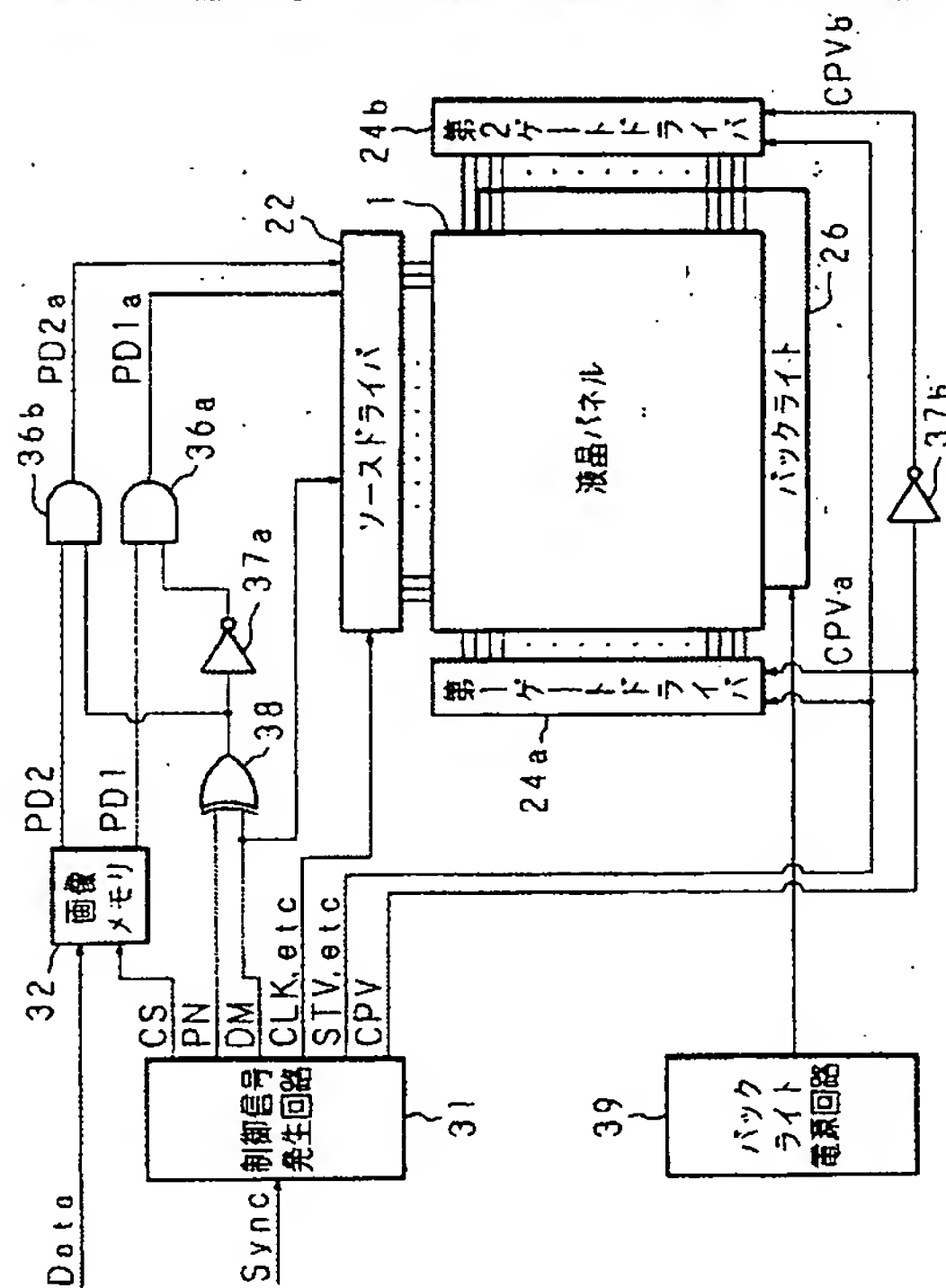


【図 3】



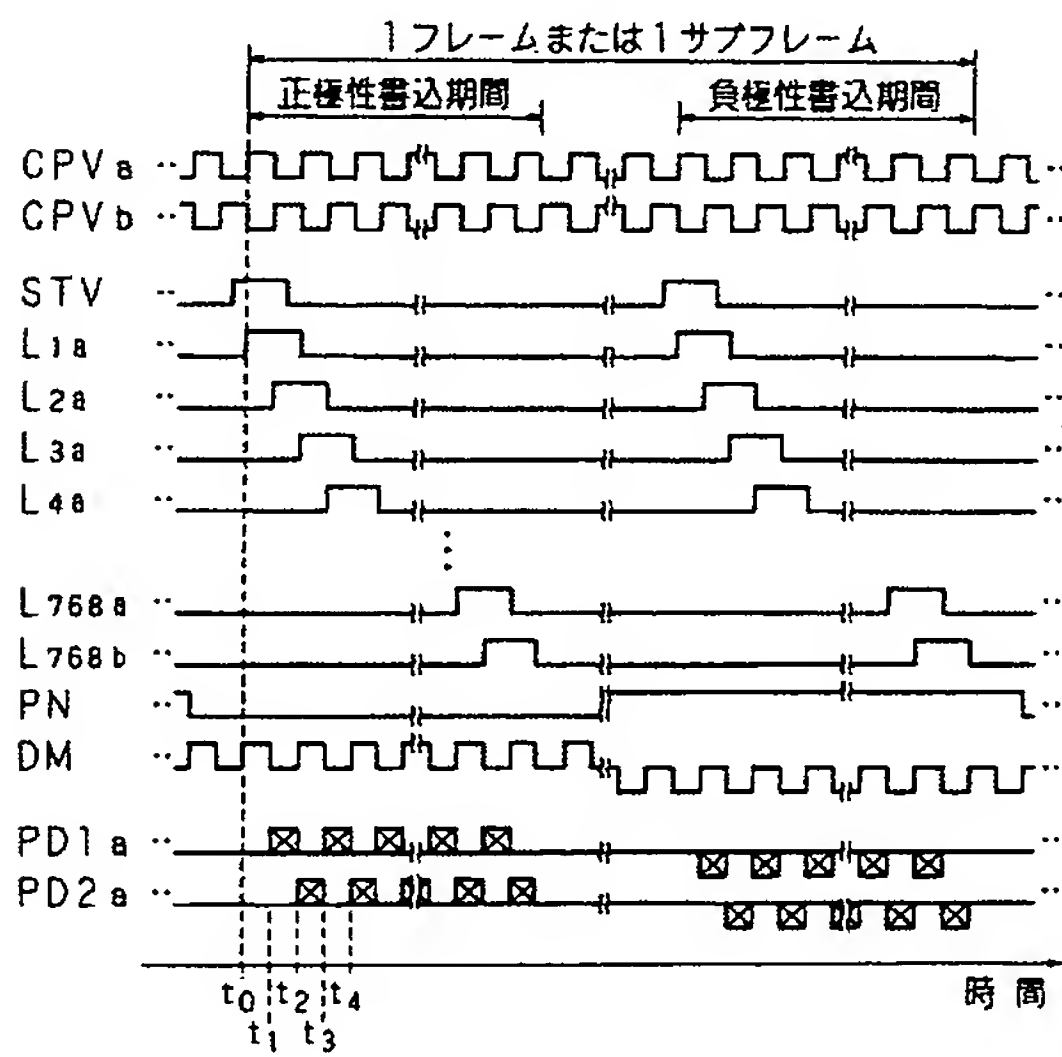
【図 4】

本発明の実施の形態1による液晶表示装置の全体構成のブロック図



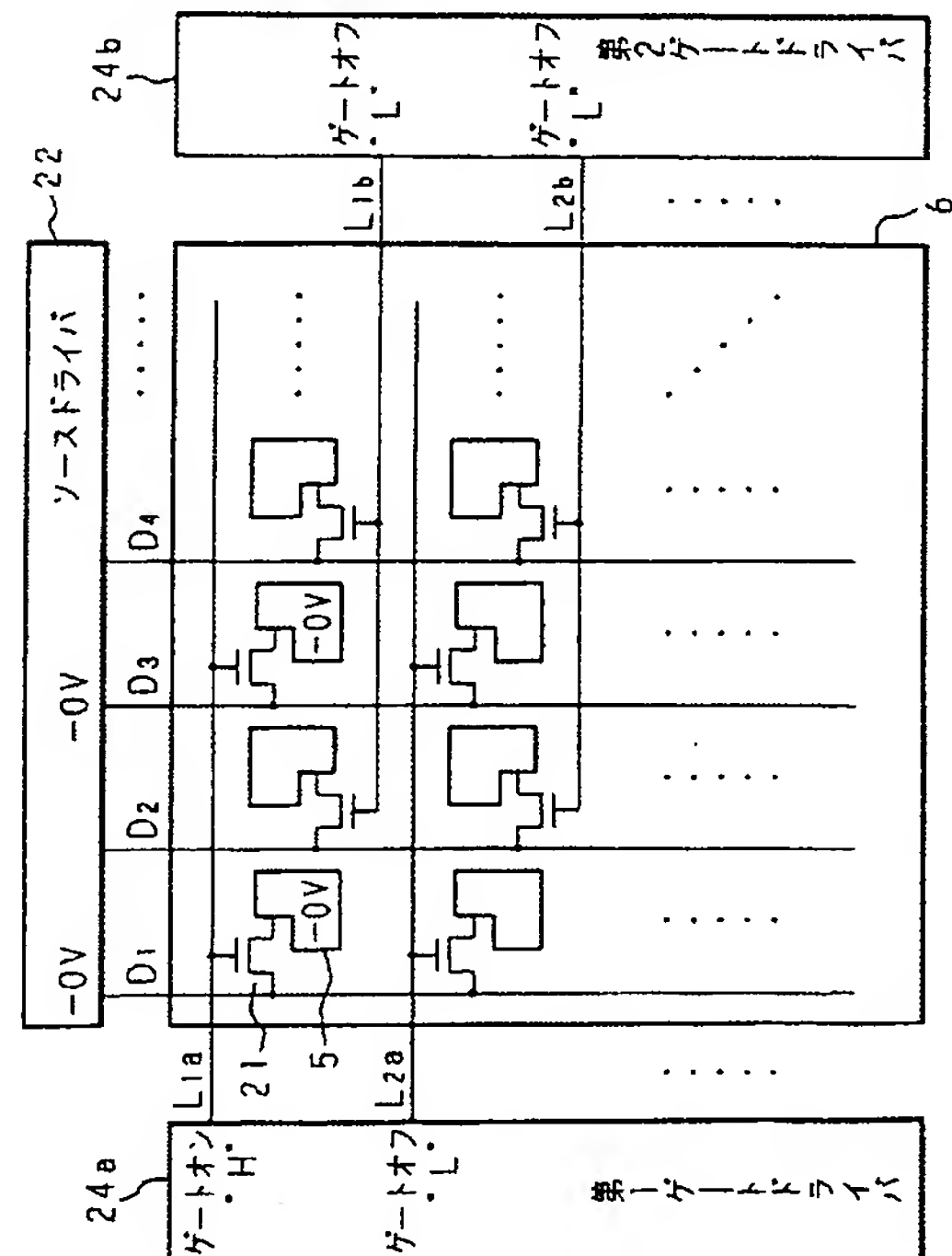
【図 5】

本発明の実施の形態1における駆動シーケンスを示す図



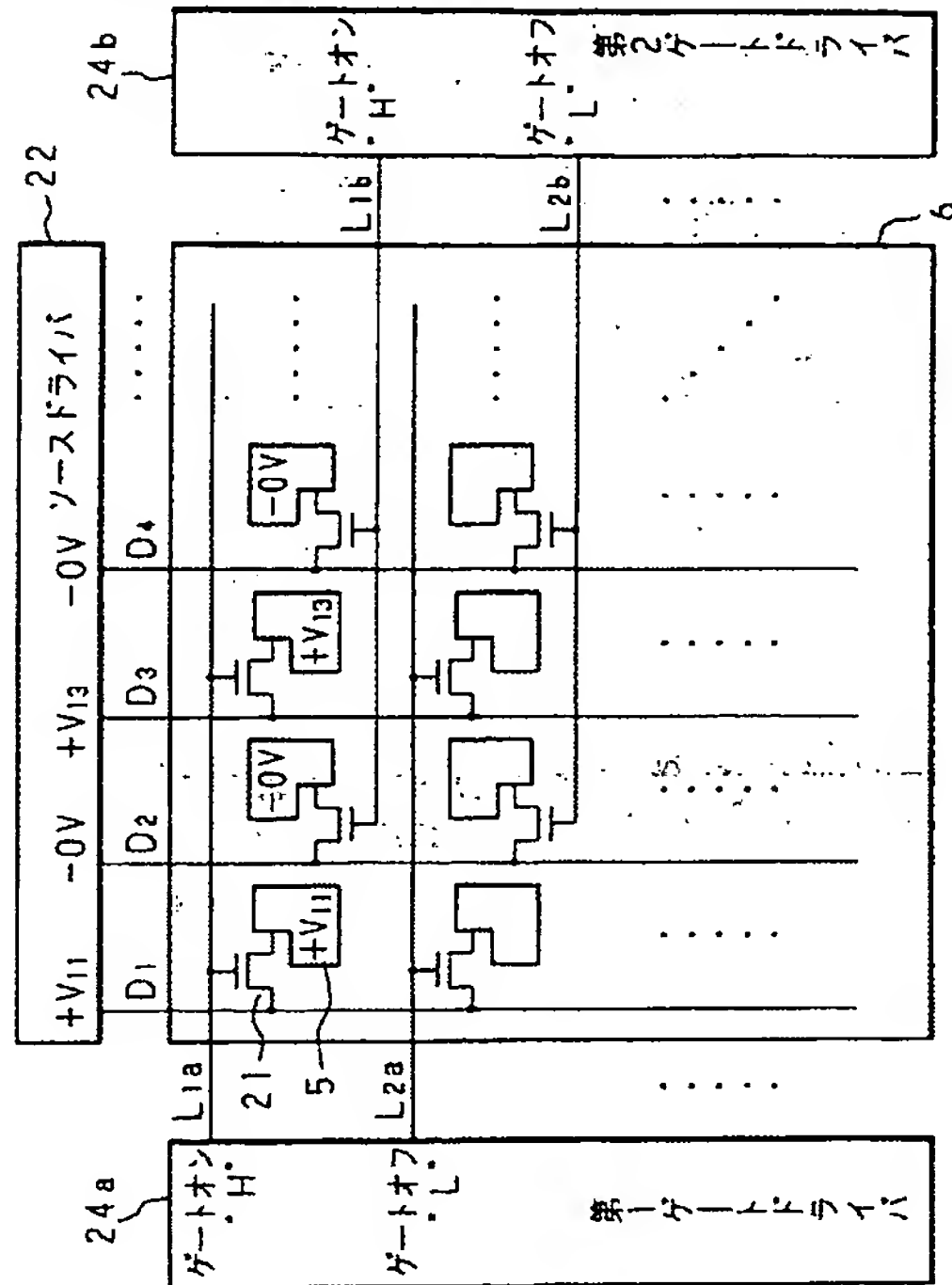
【図 6】

図5のt0～t1期間に、液晶パネルの各画素電極に印加される電圧値を示す図



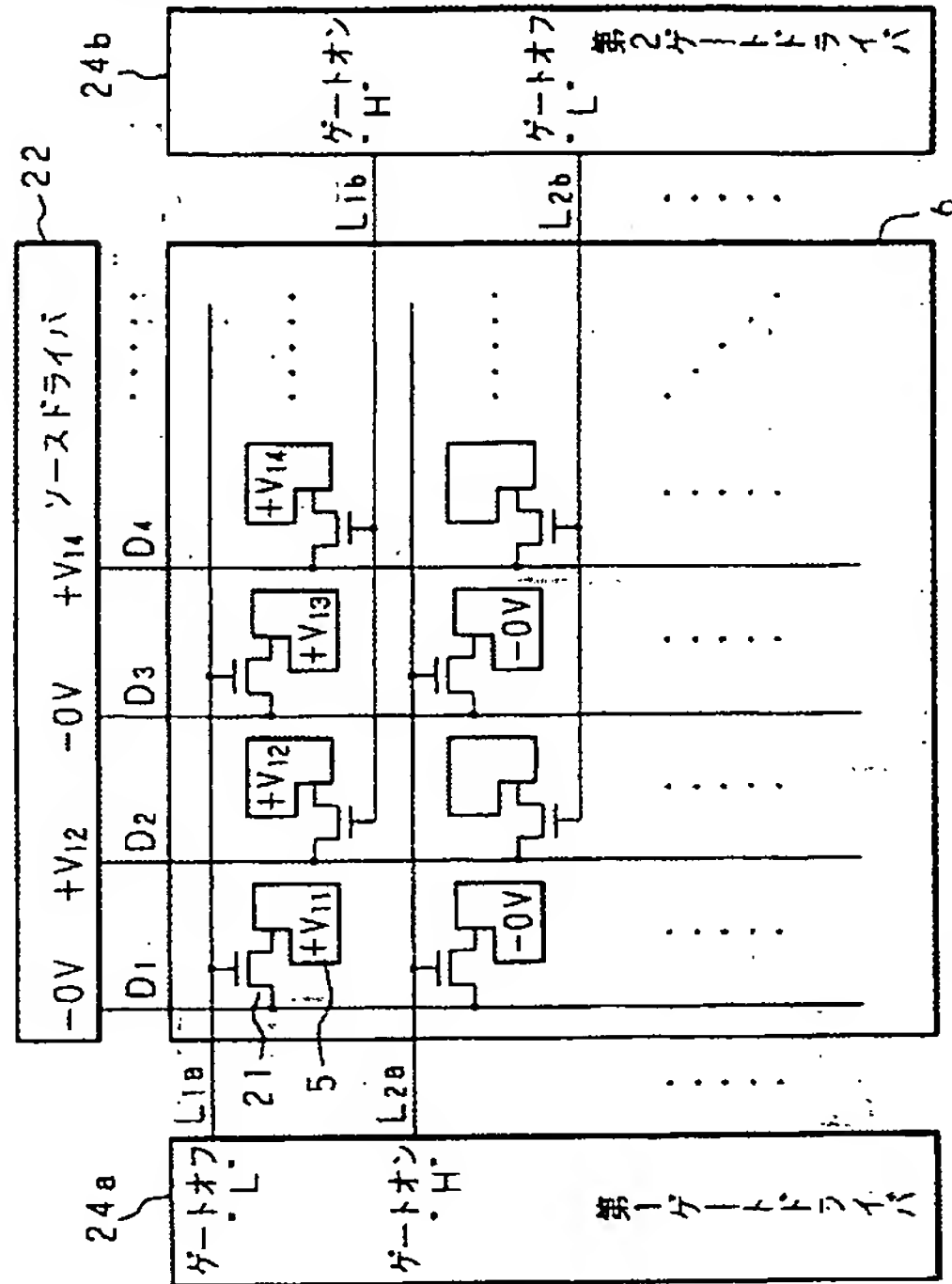
【図 7】

図5のt1～t2期間に、液晶パネルの各画素電極に印加される電圧値を示す図



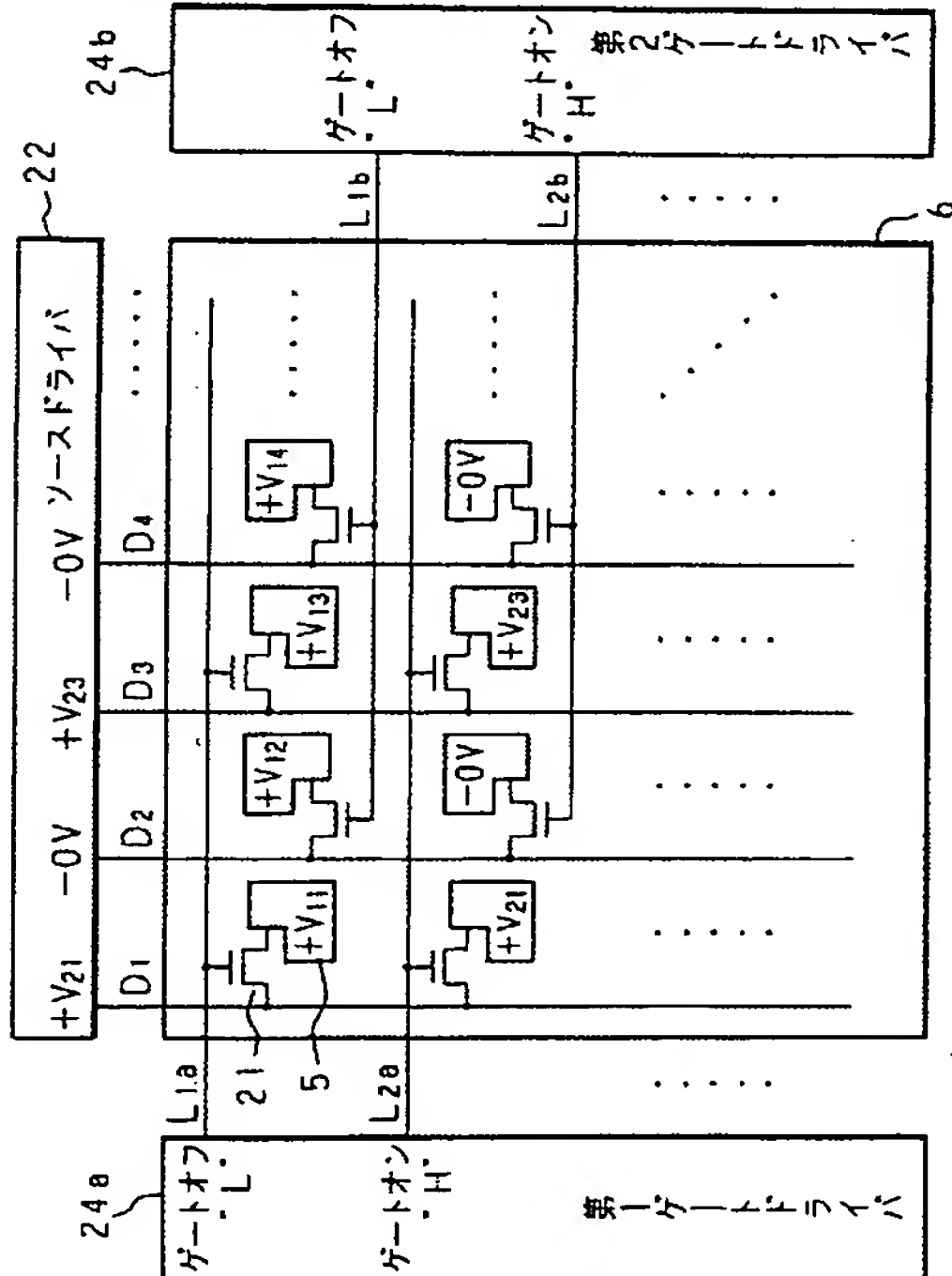
【図 8】

図5のt2～t3期間に、液晶パネルの各画素電極に印加される電圧値を示す図



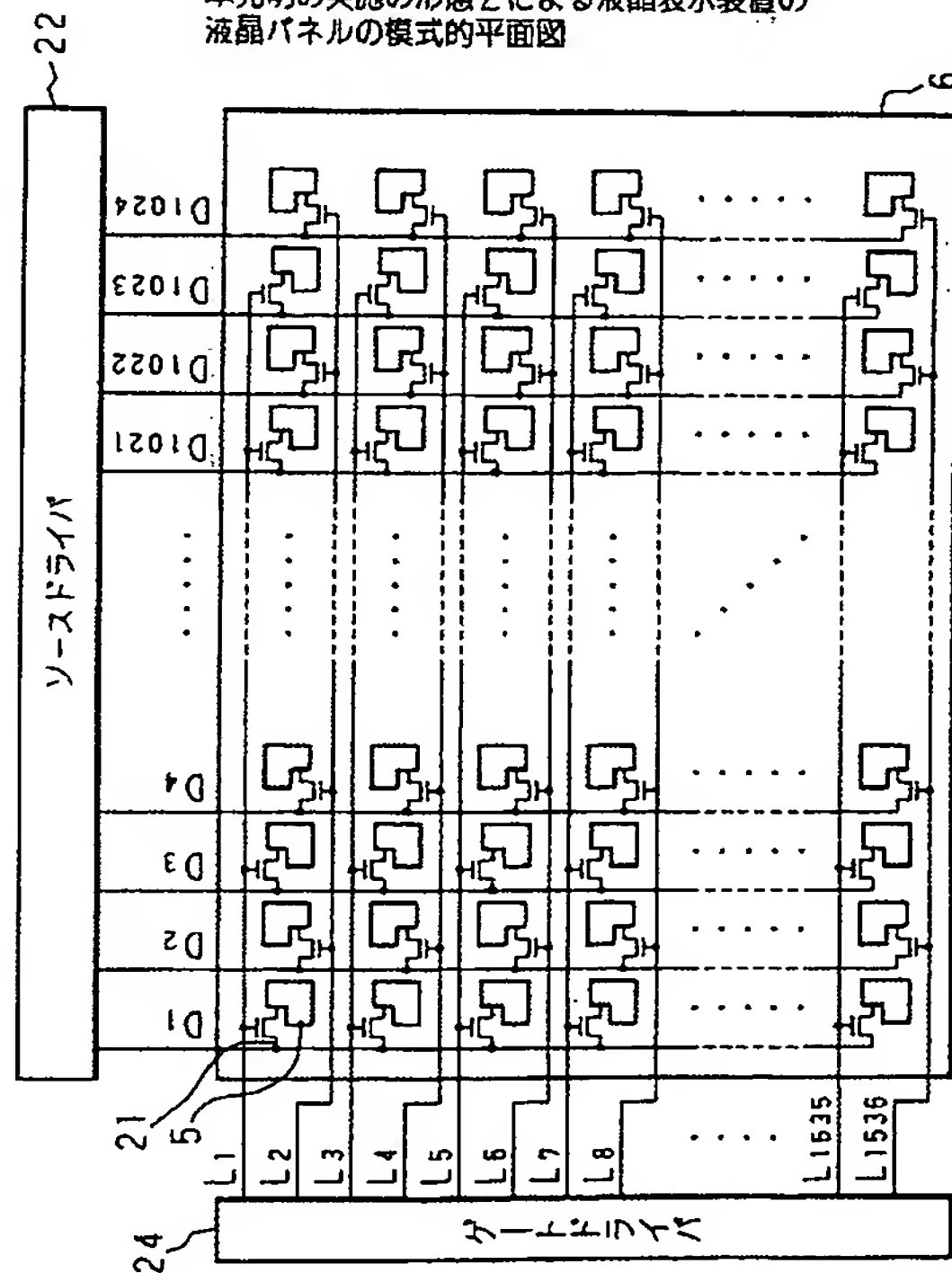
【図 9】

図5のt3～t4期間に、液晶パネルの各画素電極に印加される電圧値を示す図



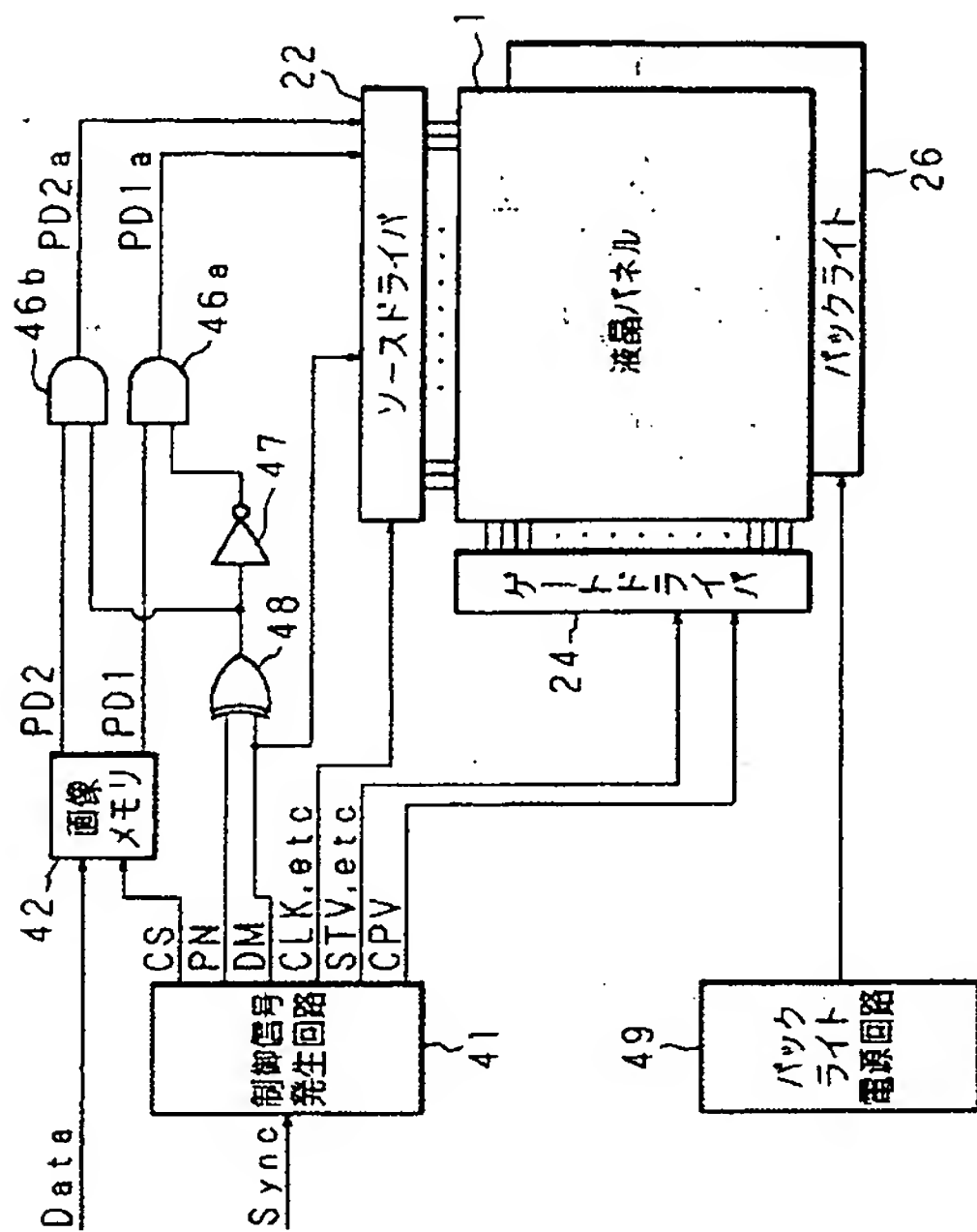
【図 10】

本発明の実施の形態2による液晶表示装置の液晶パネルの模式的平面図



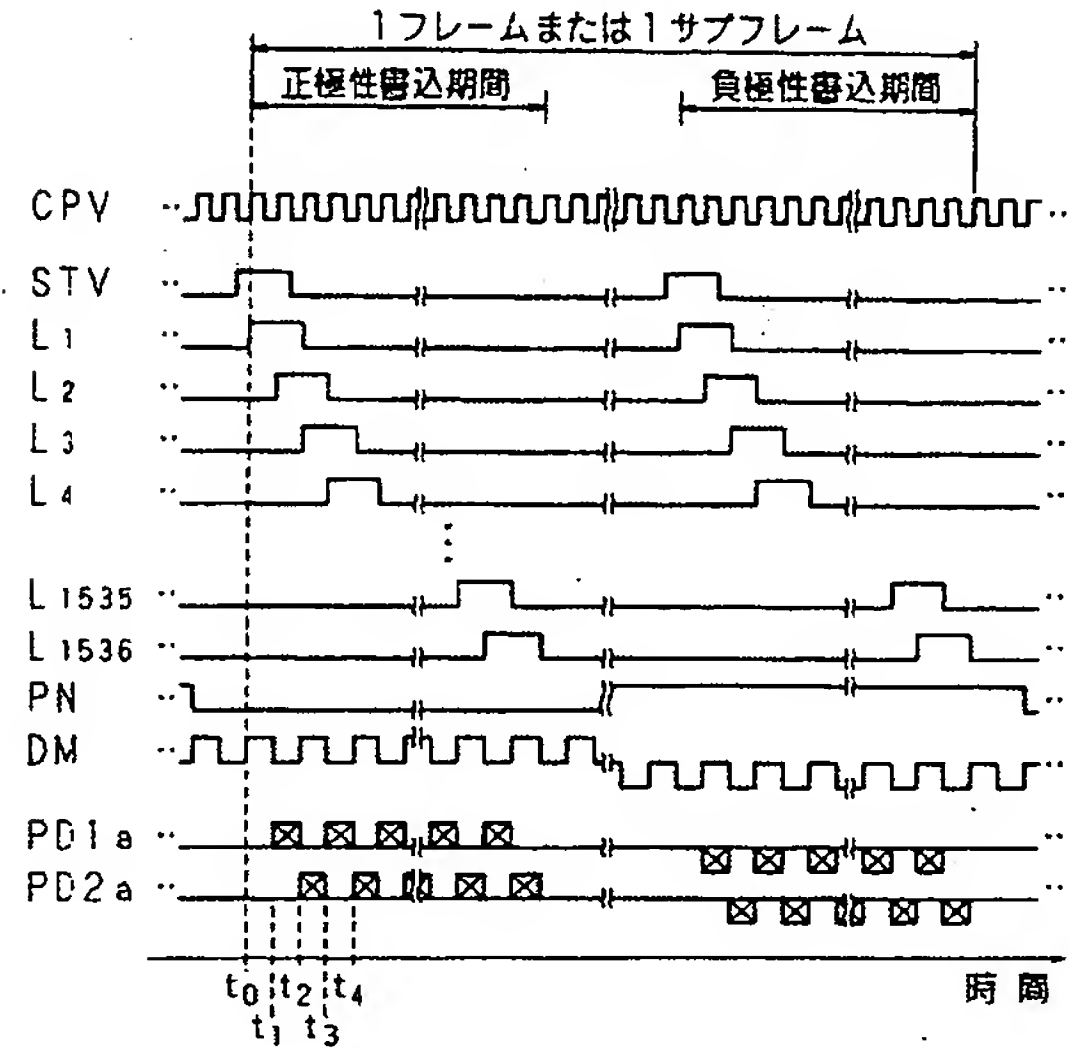
【図 1 1】

本発明の実施の形態2による液晶表示装置の全体構成のブロック図



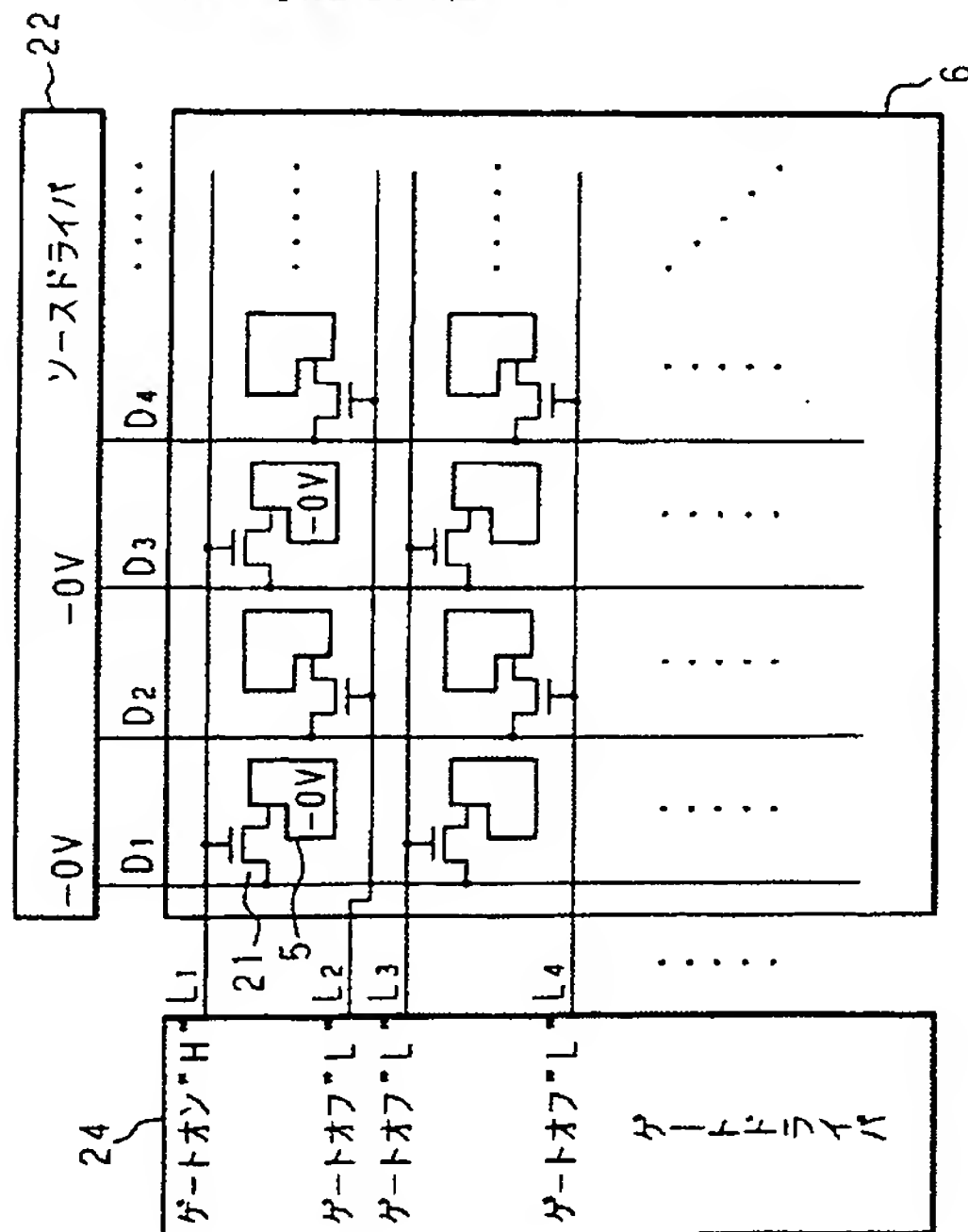
【図 1 2】

本発明の実施の形態2における駆動シーケンスを示す図



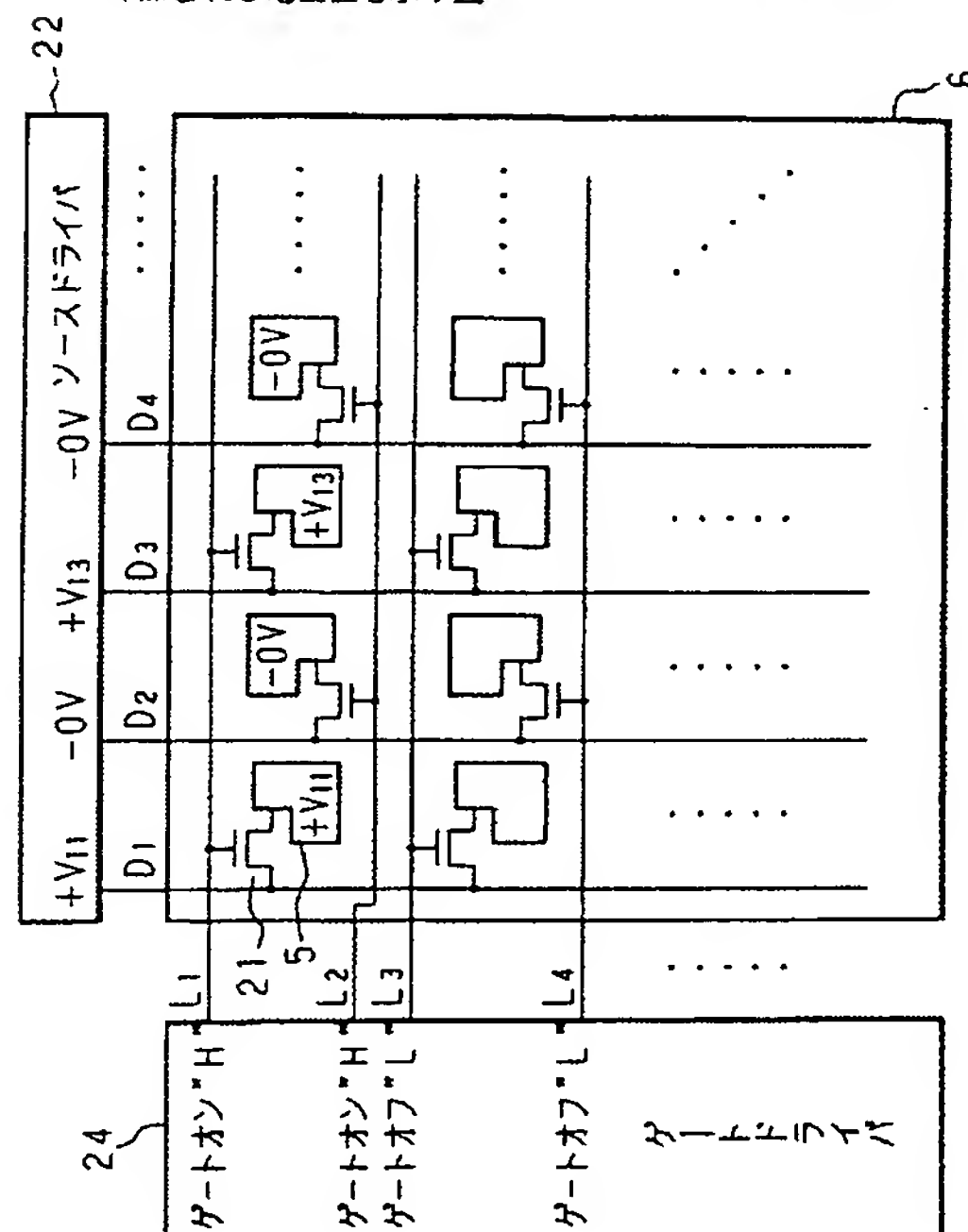
【図 1 3】

図12のt0~t1期間に、液晶パネルの各画素電極に印加される電圧値を示す図



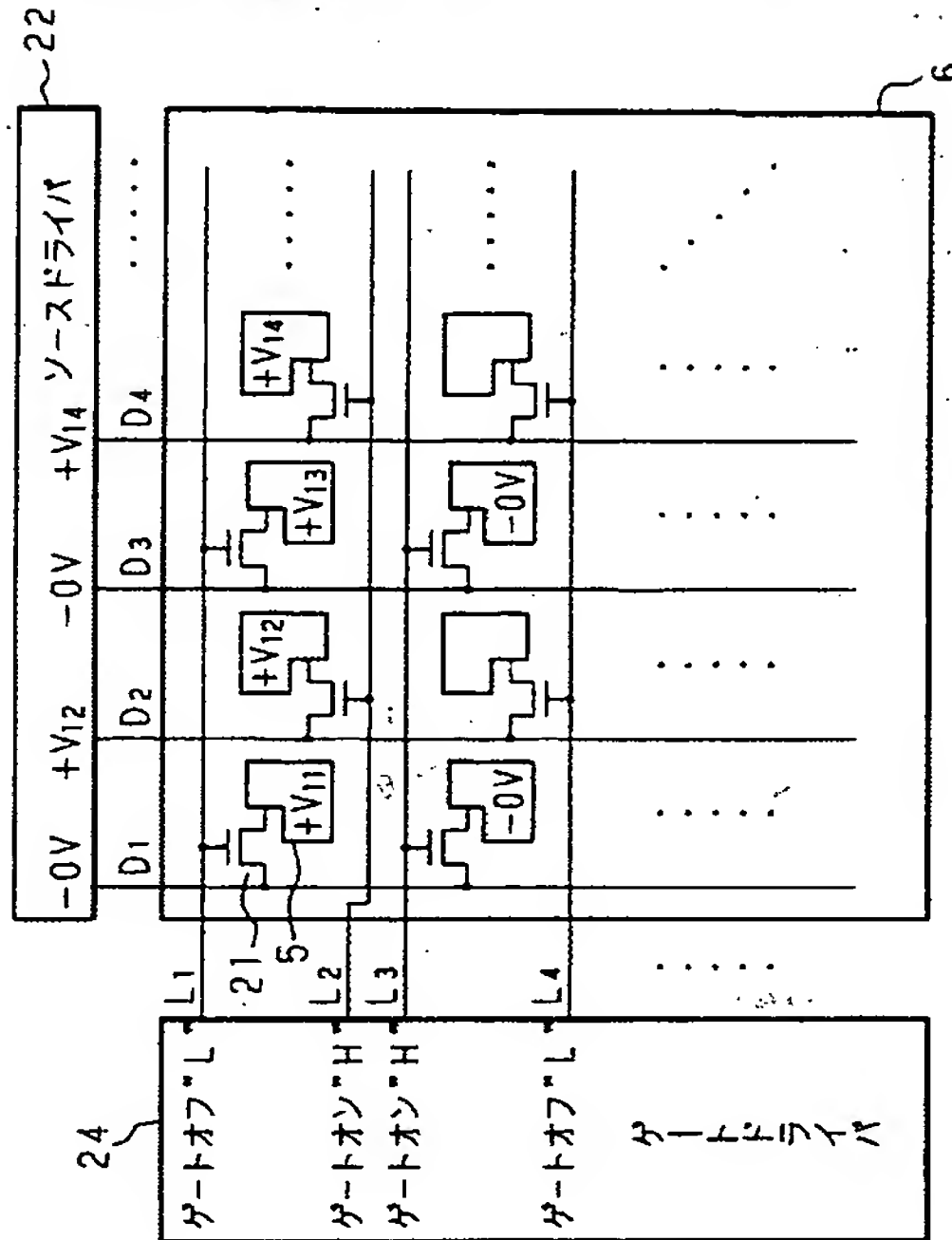
【図 1 4】

図12のt1~t2期間に、液晶パネルの各画素電極に印加される電圧値を示す図



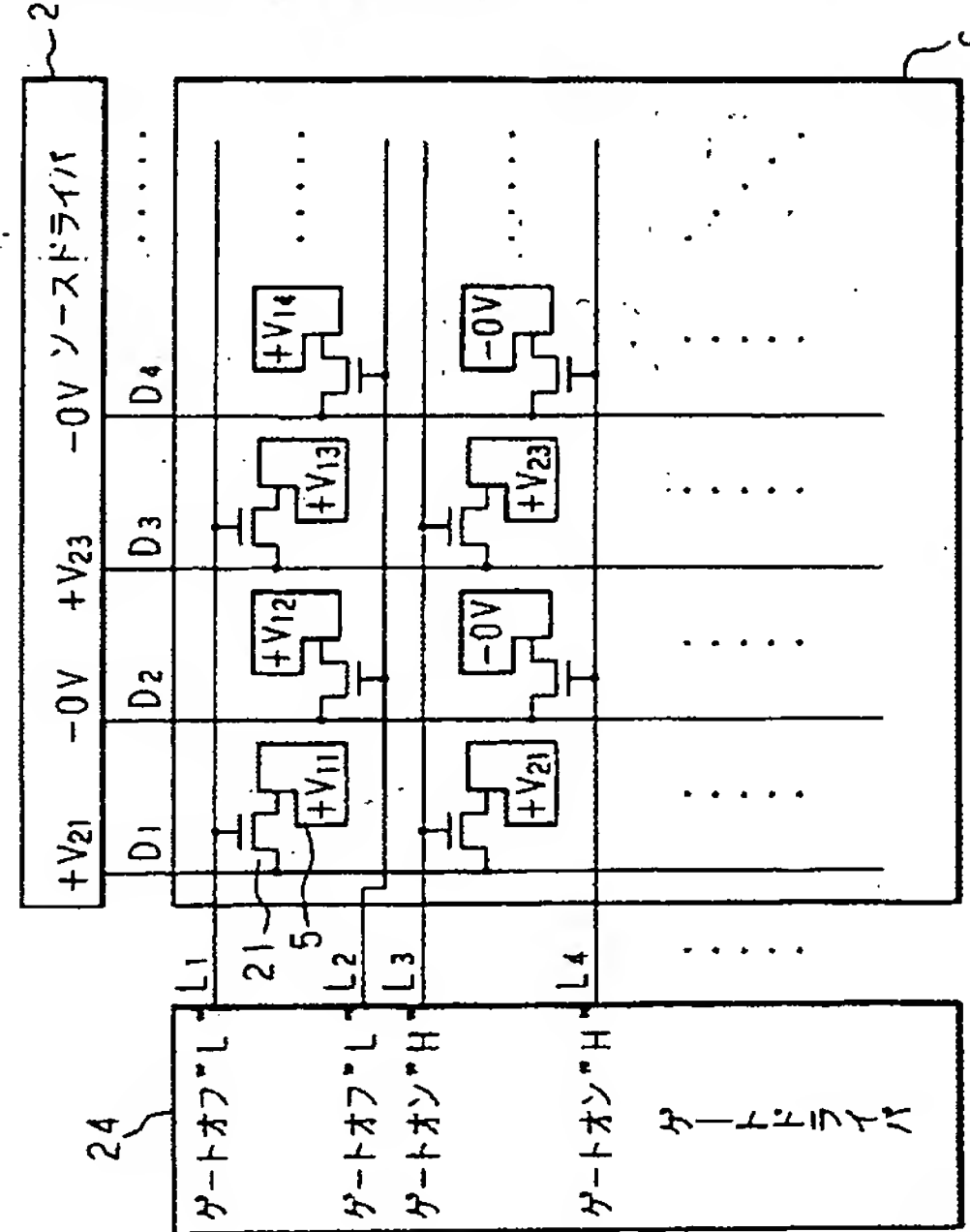
【図 15】

図12のt2～t3期間に、液晶パネルの各画素電極に印加される電圧値を示す図



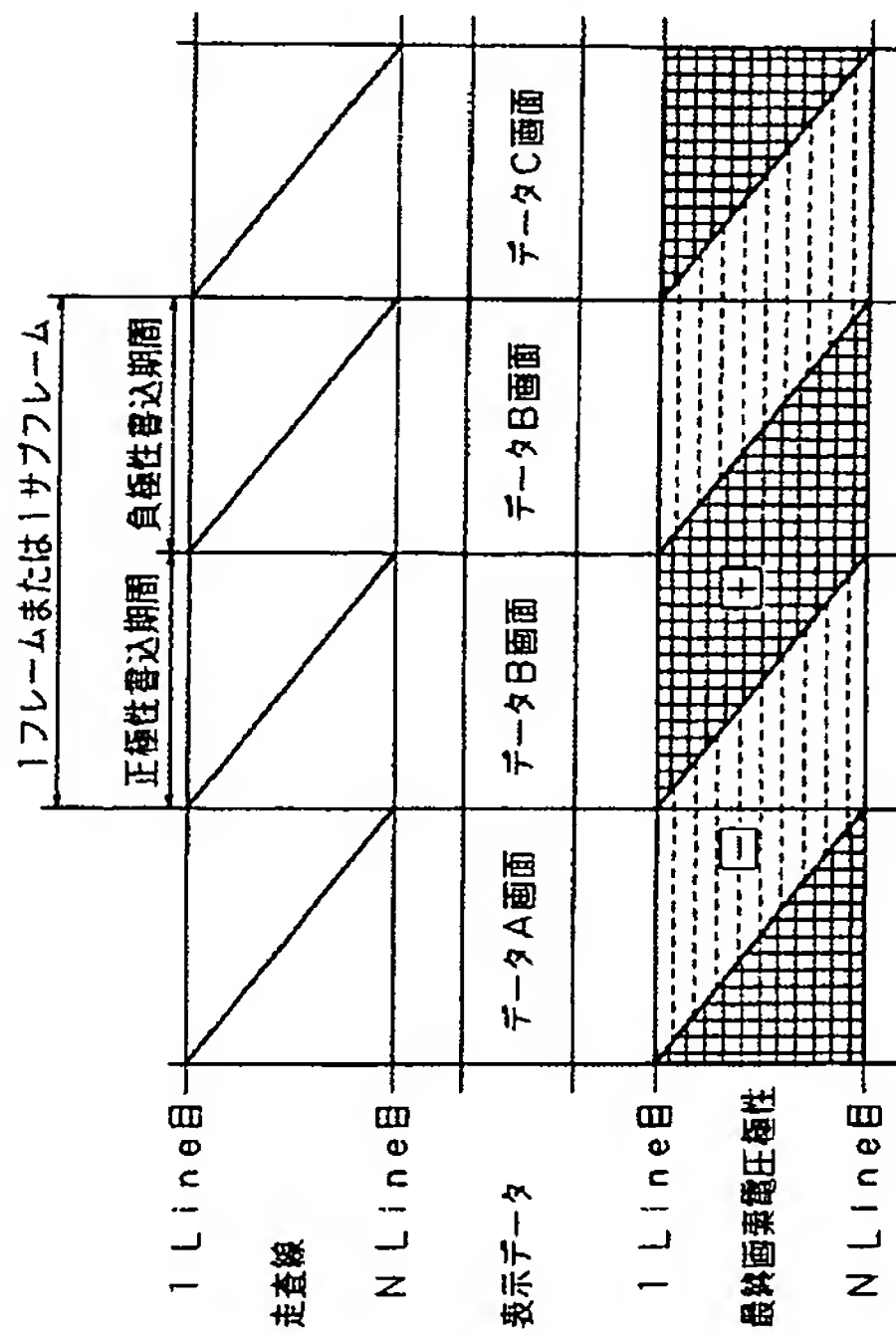
【図 16】

図12のt3～t4期間に、液晶パネルの各画素電極に印加される電圧値を示す図



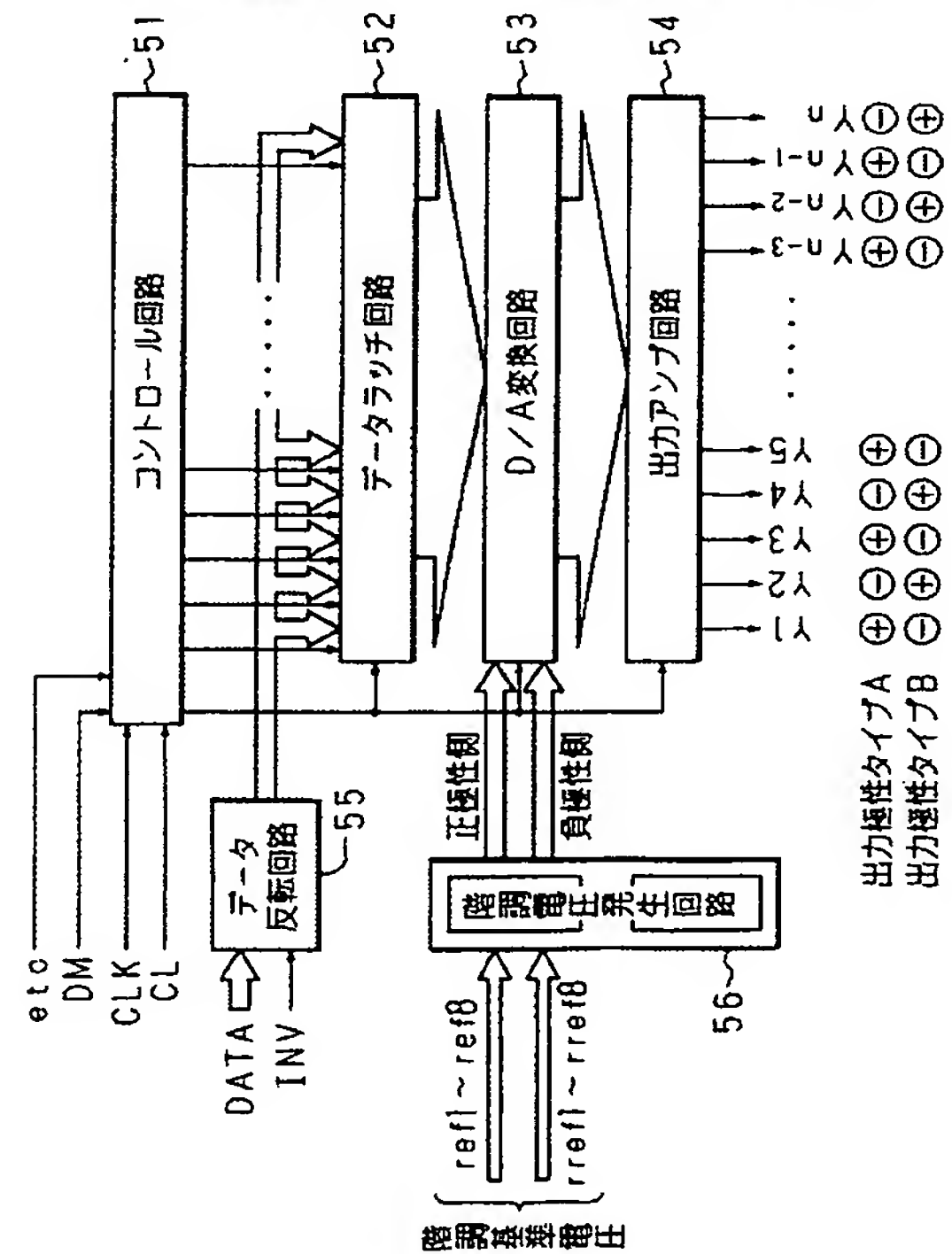
【図 17】

本発明の実施の形態1及び実施の形態2における画素電圧極性を示す図



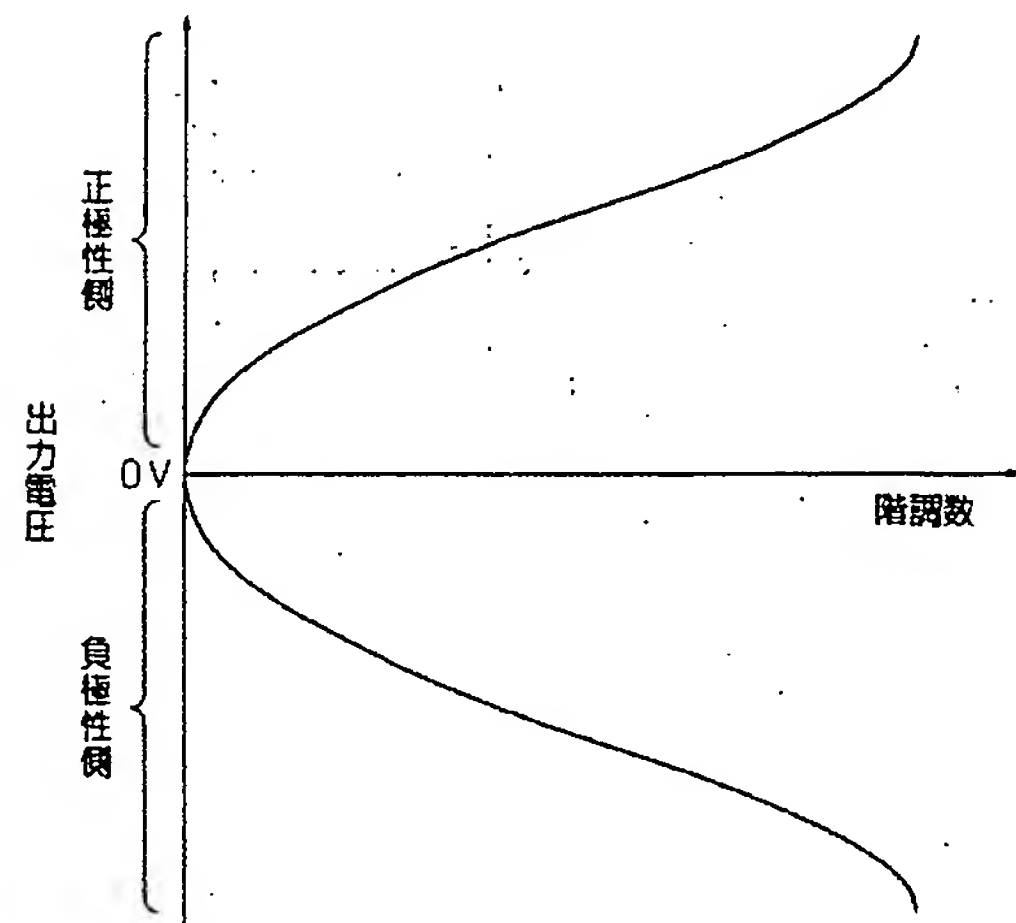
【図 18】

ドット反転駆動型のソースドライバの構成を示すブロック図



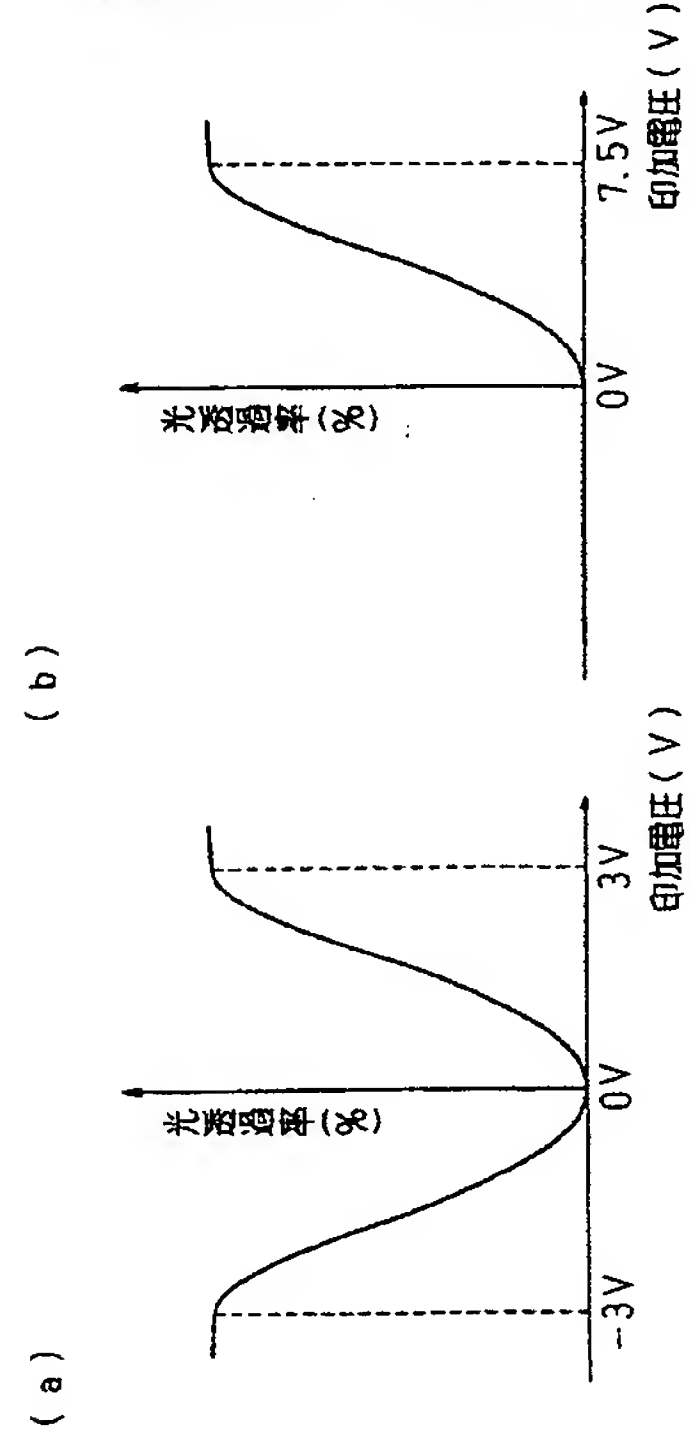
【図 19】

ソースドライバの階調データ-出力電圧特性を示すグラフ



【図 20】

液晶物質におけるT-V特性を示すグラフ



フロントページの続き(51)Int.Cl.⁷

F I

テーマコード (参考)

G 0 9 G	3/20	6 2 1 B
G 0 9 G	3/20	6 2 2 M
G 0 9 G	3/20	6 2 2 Q
G 0 9 G	3/20	6 2 3 C
G 0 9 G	3/36	

F ターム (参考) 2H088 GA04 HA08 JA18 MA12 MA13
2H093 NA16 NA79 NC13 NC65 NC90
5C006 AC11 AC15 AC24 AC27 AC28 AF43 BA12 BA13 BB16 BC03
FA34 FA38 FA52 FA56
5C080 AA10 BB05 CC03 DD01 DD08 DD27 EE19 EE29 FF11 FF12
JJ02 JJ04 JJ05

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.